

SESSION 2012

**AGRÉGATION
CONCOURS EXTERNE**

Section : GÉNIE ÉLECTRIQUE

COMPOSITION D'ÉLECTRONIQUE

Durée : 6 heures

Calculatrice électronique de poche - y compris calculatrice programmable, alphanumérique ou à écran graphique – à fonctionnement autonome, non imprimante, autorisée conformément à la circulaire n° 99-186 du 16 novembre 1999.

L'usage de tout ouvrage de référence, de tout dictionnaire et de tout autre matériel électronique est rigoureusement interdit.

Dans le cas où un(e) candidat(e) repère ce qui lui semble être une erreur d'énoncé, il (elle) le signale très lisiblement sur sa copie, propose la correction et poursuit l'épreuve en conséquence.

De même, si cela vous conduit à formuler une ou plusieurs hypothèses, il vous est demandé de la (ou les) mentionner explicitement.

NB : Hormis l'en-tête détachable, la copie que vous rendrez ne devra, conformément au principe d'anonymat, comporter aucun signe distinctif, tel que nom, signature, origine, etc. Si le travail qui vous est demandé comporte notamment la rédaction d'un projet ou d'une note, vous devrez impérativement vous abstenir de signer ou de l'identifier.

Tournez la page S.V.P.

A

Étude d'un système intelligent de régulation de température pour chauffage domestique.

Recommandations générales

- Vérifier que le sujet comporte 4 pages de présentation, 21 pages de questionnement, 2 pages de documents réponses et 3 pages de documentation en annexe et 31 pages de documentation technique.
- L'épreuve se compose de 3 parties indépendantes. A l'intérieur de chaque partie, de nombreuses questions sont également indépendantes. Le candidat est donc invité à lire rapidement et entièrement l'énoncé avant de commencer à composer afin de bien répartir le temps de composition entre les différentes parties.
- Les parties B1, B2 et B3 doivent être rédigées sur des copies séparées en respectant scrupuleusement la numérotation des questions et les notations de l'énoncé. Une rédaction soignée, une écriture lisible et des résultats encadrés seront appréciés par les correcteurs.
- Si, au cours de l'épreuve, un(e) candidat(e) détecte ce qui lui semble être une erreur d'énoncé, il (elle) le signale par écrit dans sa copie et poursuit sa composition en conséquence. De même, si cela conduit le (la) candidat(e) à formuler une ou plusieurs hypothèses, il lui est demandé de la (ou les) mentionner explicitement.
- Les calculatrices électroniques et alphanumériques ou à écrans graphiques sont autorisées.

Présentation

Étude d'un système intelligent de régulation de température pour chauffage domestique.

Après l'arrivée sur le marché depuis quelques années des réseaux locaux sans fil WiFi et Bluetooth, une nouvelle technologie semble, elle aussi, promise à un bel avenir commercial, aussi bien pour des applications grand public, que pour des domaines plus liés aux communications sans fil en milieu industriel : il s'agit du réseau ZigBee. L'objectif actuel de ZigBee est de définir un réseau d'usage universel et peu coûteux à configuration automatique. On regroupe généralement les applications de ZigBee en sept grandes catégories :

- L'automatisation des immeubles : la sécurité, le contrôle d'accès, l'éclairage, le chauffage...
- Le médical : le suivi et la surveillance continue de patients, le monitoring des phases d'efforts lors d'activités physiques et sportives...
- Le contrôle industriel : la gestion des biens, des stocks, et de l'énergie, la surveillance des risques et de l'environnement, les applications de contrôle/commande industrielles, les télé-relevés...
- Les services de télécommunications : le m-commerce (commerce mobile), les infos services, les interactions des objets que l'on appelle souvent « Internet des choses »...
- L'électronique grand public : le pilotage et le contrôle à distance des TV, VCR, DVD...
- Le PC et ses périphériques : souris, clavier, joysticks...
- La domotique : la gestion du chauffage, de l'éclairage, des occultants, des alarmes... Un exemple de centrale, de capteurs et d'actionneurs est décrit plus précisément sur la figure 1 :

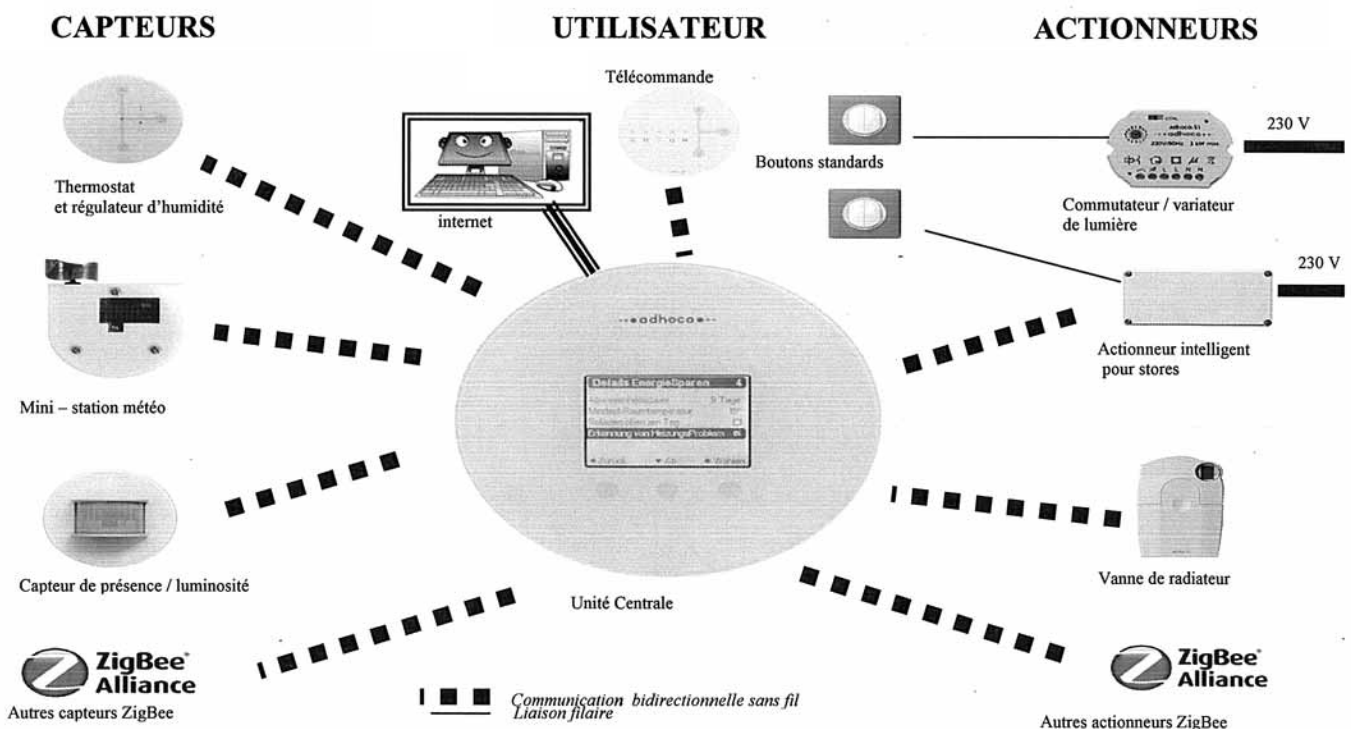


Figure 1 : Centrale, capteurs et actionneurs utilisant une communication ZigBee (système Adhoco)

Dans cet exemple, le système est constitué d'une centrale intelligente équipée d'un écran couleur et d'une connexion Internet. En tant que centrale capable d'adaptation et d'auto-apprentissage, ce dispositif forme le cœur du système de commande. Il communique par radio avec des capteurs et des actionneurs, et garantit un environnement résidentiel conjuguant confort, bien-être, sécurité et faible consommation d'énergie. Une connexion Internet sécurisée permet de visualiser l'habitation, contrôler des appareils à distance et déclencher l'alarme par SMS ou e-mail.

Dans ce sujet, nous nous limiterons à l'étude du capteur de température sans fil qui permet de réguler le chauffage domestique (thermostat). Les autres capteurs et les actionneurs ne seront pas étudiés dans ce problème. Le principe du capteur de température ZigBee est décrit sur la figure 2 :

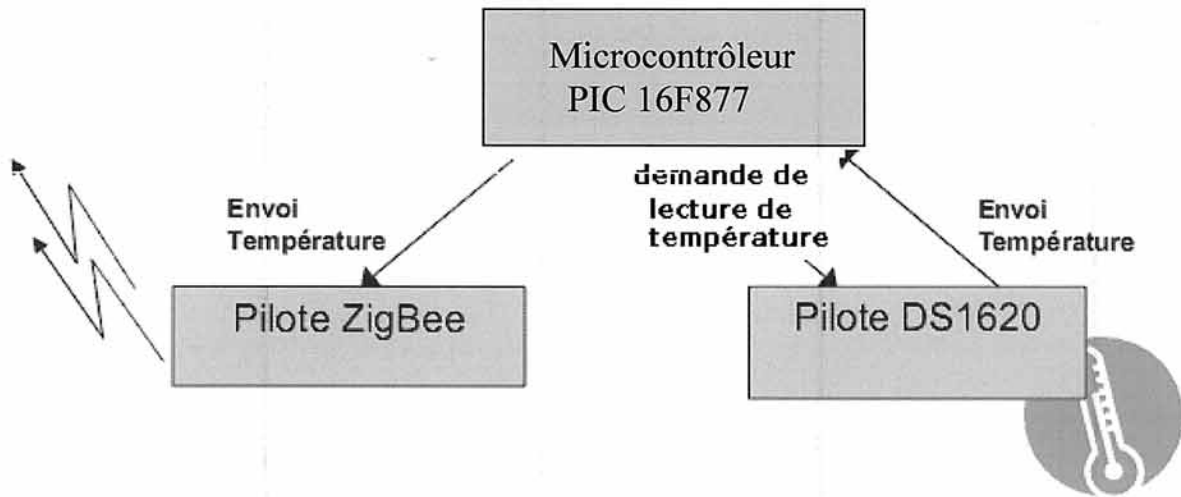


Figure 2: Principe du capteur sans fil

La mesure de température est effectuée à l'aide du capteur de température DS1620 (Dallas Semiconductor), et l'envoi de cette donnée est assuré par le module XBEE (Maxstream). Le microcontrôleur PIC 16F877 (Microchip) gère les communications entre les deux pilotes et leurs séquençements. Le schéma électrique du système est représenté dans l'annexe 1. Le système conçu doit permettre l'envoi périodique de la température vers la centrale, via la liaison ZigBee avec une période de 1 seconde. Le diagramme de la figure 3 illustre ce fonctionnement :

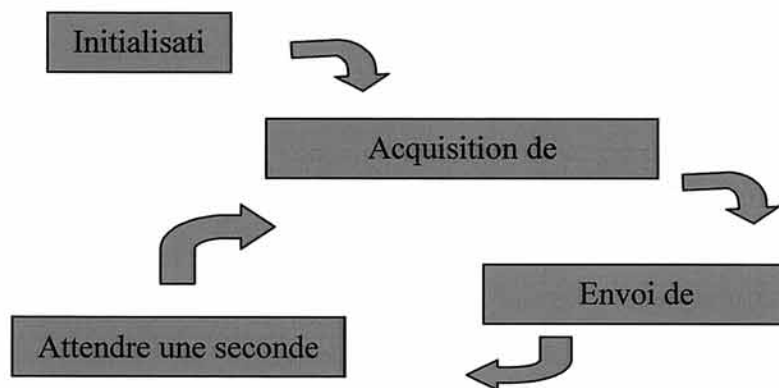


Figure 3: Déroulement du programme

Le programme est organisé en trois parties :

- Le programme principal qui communique avec les deux pilotes et synchronise les évènements.
- La librairie DS1620 qui définit les instructions nécessaires à la lecture de la température.

- La librairie XBEE qui définit les instructions nécessaires à l'envoi de la température.

Cette étude reprend les différentes parties constituant le capteur de température sans fil. Dans la première partie du sujet, nous allons nous intéresser au capteur de température intelligent DS1620, son principe de mesure et sa communication avec le microcontrôleur PIC 16F877. Puis, nous étudierons l'émetteur XBEE et son interfaçage avec le microcontrôleur. Enfin, nous détaillerons une partie de l'architecture interne du module XBEE, afin d'analyser les spécifications de la couche physique de radiocommunications définie par le standard IEEE 802.15.4 (contenu dans le standard Zigbee).

Partie B1 : Étude du capteur numérique de température (DS1620) et de sa communication avec le microcontrôleur PIC 16F877.

Partie B2 : Étude du module XBEE et de sa communication avec le microcontrôleur PIC 16F877.

Partie B3 : Architecture interne du module XBEE (analyse de la chaîne radio).

Questionnement

B1. Étude du capteur numérique de température intelligent DS1620 et de sa communication avec le microcontrôleur

Dans un premier temps, les performances du capteur DS1620 seront analysées, puis le principe de mesure de ce capteur sera étudié. Dans un second temps, nous établirons le protocole de communication à suivre, en vue de son utilisation avec le microcontrôleur, et la programmation de la librairie DS1620, définissant les instructions nécessaires à la lecture de la température.

Performances du capteur numérique DS1620

Le capteur de température DS1620 (Dallas Semiconductor) appartient à la famille des capteurs "intelligents". Sur la même puce, il y a un capteur de température de type "bandgap" associé à une électronique d'interface (Convertisseur Analogique - Numérique, microcontrôleur avec son jeu d'instructions, EEPROM, port série synchrone 3 fils). Le capteur est alimenté sous 5 Volts.

Q1.1 Donner la définition du mot capteur, puis celle de "capteur intelligent".

Q1.2 Détailler le codage de la température mesurée.

Q1.3 Donner les mots codés en binaire, et en hexadécimal, correspondants à une température de $+7\text{ }^{\circ}\text{C}$ (température désirée lors d'une absence du domicile durant une semaine), et de $-3,5\text{ }^{\circ}\text{C}$.

Q1.4 Indiquer la plage de mesure, la résolution, et le nombre de bits utilisés pour restituer la mesure. Quelle est l'erreur de mesure indiquée par le constructeur ? Conclure.

Q1.5 Calculer le nombre d'états possibles du Convertisseur Analogique - Numérique (CAN) intégré au DS1620. Quel est le nombre d'états réellement utilisés ?

Q1.6 Le CAN est doté d'une tension pleine échelle V_{ref} égale à 2,5 V. Sachant que la température 0°C est obtenue pour une tension analogique de 733,8 mV, donner la résolution du CAN en mV avec une précision de 0,001 mV. Compléter le tableau fourni sur le document réponse DR1. La valeur de V_{out} sera indiquée avec une précision de 0,1mV.

Q1.7. En déduire la loi de variation donnant la tension mesurée V_{out} , exprimée en mV, en fonction du code décimal présent en sortie du capteur DS1620, puis en fonction de la température T exprimée en degré Celsius ($^{\circ}\text{C}$).

Q1.8 Quelle est la durée de conversion de ce capteur ?

Q1.9 Le propriétaire du domicile souhaite être averti lorsque la température devient inférieure à la température limite basse T_L et, lorsque la température devient supérieure à la limite haute T_H . Pour ce faire, deux diodes électroluminescentes (Panasonic semiconducteur LN88RPX et LN28RPX), placées près du capteur, et respectivement orange et rouge, doivent s'allumer en cas de franchissement de ces seuils. Une amplification en courant est nécessaire pour allumer ces deux diodes compte tenu des courants de sortie du DS1620. Proposer un schéma de câblage à base de transistors bipolaires dont les caractéristiques sont les suivantes : amplification en courant $\beta = 150$, tension de saturation collecteur-émetteur $V_{CE\text{ sat}} = 0,2\text{ V}$ et tension émetteur-base $V_{BE} = 0,6\text{ V}$.

En utilisant la documentation technique fournie, proposer un schéma complet de câblage, et conforme au cahier des charges. Toutes les valeurs et choix de composants devront être justifiés.

Q1.10 Quelle est l'utilité de la sortie T_{com} ?

Schéma de principe du capteur DS1620

Le capteur de température du DS1620 est construit autour d'une source de tension de type « bandgap ». Classiquement, une source de référence « bandgap » est composée de deux générateurs de tension, dotés chacun de coefficients de température opposés. La somme de ces deux sources correspond alors à une tension constante sur toute une plage de température donnée. Dans le cas d'un capteur de température, une source de type PTAT (pour Proportional To Absolute Temperature), dont on va contrôler très précisément le coefficient de température est synthétisée. Un exemple de réalisation est donné sur le schéma de la figure 4.

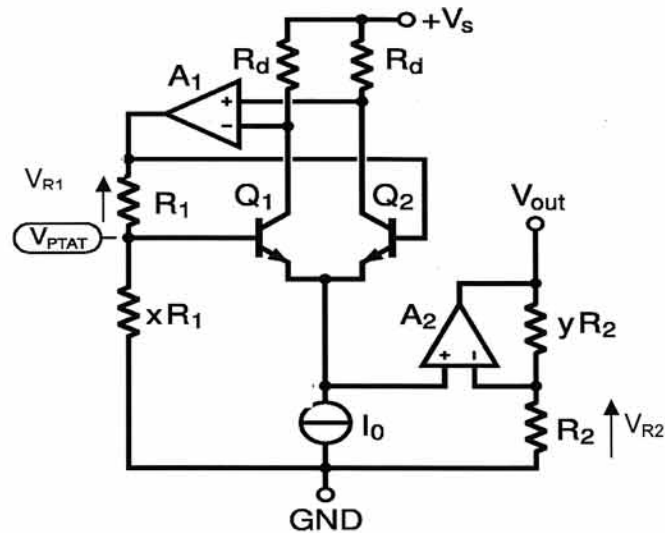


Figure 4: Schéma simplifié du capteur de température DS1620

L'objectif de cette partie est de retrouver la caractéristique du capteur V_{out} calculée dans la question Q1.7, mais à partir du schéma électrique du générateur de tension PTAT représenté à la figure 4.

Les amplificateurs A_1 et A_2 du circuit sont supposés idéaux, et fonctionnent en régime linéaire. Sont également définis, la tension de la jonction base - émetteur d'un transistor bipolaire V_{be} égale à 0,58 V à 25°C, et son coefficient de température égal à $-2 \text{ mV} / ^\circ\text{C}$. Enfin, les surfaces d'émetteur A_{E1} et A_{E2} des transistors Q_1 et Q_2 sont telles que $A_{E1} = 10 A_{E2}$. On rappelle également que $q = 1,6 \times 10^{-19} \text{ C}$ et $k = 1,38 \times 10^{-23} \text{ J.K}^{-1}$.

Q1.11 La relation $I_c(V_{be})$ d'un transistor bipolaire peut être simplement modélisée par la

relation suivante :
$$I_c = A_E J_S \exp\left(\frac{V_{be}}{U_T}\right)$$

Dans cette relation, A_E désigne la surface d'émetteur du transistor, J_S la densité de courant de saturation, et U_T désigne le potentiel thermodynamique. Écrire les équations des courants de collecteurs des transistors Q_1 et Q_2 , notés respectivement I_{c1} et I_{c2} . Démontrer leur égalité.

Q1.12 En définissant $\Delta V_{be} = V_{be2} - V_{be1}$, en déduire son expression en fonction de U_T , A_{E1} et A_{E2} (on admet $J_{s1} = J_{s2}$).

Q1.13 En négligeant les courants de base dans Q_1 et dans Q_2 devant le courant de sortie de l'amplificateur A_1 , démontrer l'expression de V_{PTAT} . La température sera exprimée en Kelvin.

Q1.14 Déterminer la loi de variation de V_{be} en fonction de la température exprimée en °C.

Q1.15 Exprimer enfin la tension de sortie V_{out} en fonction de la température T , x et y .

Q1.16 Application numérique : en utilisant les résultats de la question Q1.7, calculer les valeurs numériques de x et y .

Protocole de communication du capteur numérique le DS1620

Le capteur de température communique avec le microcontrôleur à travers un port série synchrone trois fils, et acquière la mesure régulièrement toutes les secondes au "coup par coup". Le mode "coup par coup" a l'avantage d'économiser l'énergie stockée dans l'alimentation du capteur DS1620, contrairement à l'utilisation d'un mode continu d'envoi de la température.

Q1.17 Représenter, sur le document réponse DR2, le protocole de communication permettant de configurer le DS1620 à la mise sous tension. Les délais et les niveaux de tension à respecter doivent être précisés.

Q1.18 Un relevé expérimental de communication entre le PIC et le DS1620 est représenté sur la figure 5. Indiquer les mots binaires transmis. En déduire la fonction réalisée.

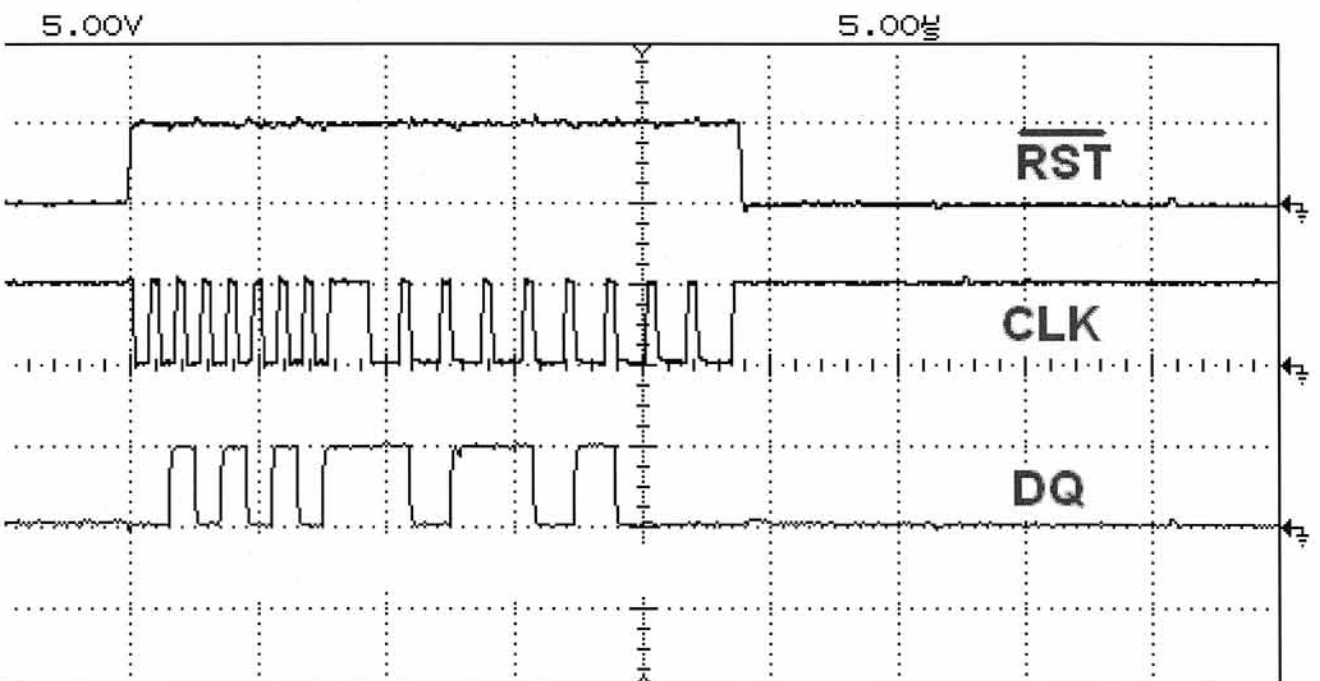


Figure 5 : Relevé expérimental d'une communication entre le DS1620 et le microcontrôleur

Q1.19. Le propriétaire du domicile souhaite être averti par Internet lorsque la température a dépassé la limite basse T_L et/ou la limite haute T_H . Indiquer les différentes instructions

nécessaires pour définir, d'une part les deux seuils TH et TL, et d'autre part informer la centrale d'un éventuel dépassement.

Programmation de la librairie DS1620

La librairie DS1620, étudiée dans cette partie, définit les instructions nécessaires à la lecture de la température.

Q1.20 Un extrait de programme de la librairie DS1620, écrit en langage C, est reporté sur le document réponse DR3. À l'aide du schéma structurel fourni à l'annexe 1, et de la documentation constructeur du DS1620, commenter ce programme ligne par ligne, en précisant chaque action réalisée sur le DS1620.

Q1.21 Indiquer le rôle joué par la fonction `short ds1620_read9(void)` dans la librairie DS1620. Après avoir énoncé clairement les opérations qu'elle réalise et à partir de la documentation fournie sur l'algorithme de Hörner en annexe 2, proposer une méthodologie permettant de la mettre en œuvre. En déduire l'algorithme permettant de réaliser cette fonction, puis son codage en langage C.

Q1.22 Dans un programme, quelle est la différence entre une procédure et une fonction ?

Q1.23 La procédure `void DelayMs(unsigned char cnt)` permet de réaliser une temporisation. Proposer une méthodologie permettant de réaliser cette temporisation, puis écrire son algorithme.

Avant transmission à l'émetteur ZigBee, toutes les données sérielles binaires, fournies par le DS1620 au microcontrôleur, doivent être converties en ASCII. Une fois la température mesurée et reçue par le microcontrôleur, et avant transmission au module ZigBee, on souhaite la coder sous la forme d'une trame de 7 caractères ASCII, conforme à celle-ci :

<Start of text>

<Signe (+ ou -)>

<chiffre des dizaines> <chiffre des unités> <point décimal> <chiffre des décimales>

<End of text>

On donne ci-dessous la table des caractères ASCII standards.

0	1	2	3	4	5	6	7	8	9
---	---	---	---	---	---	---	---	---	---

0	NUL	SOH	STX	ETX	EOT	ENQ	ACK	BEL	BS	HT
10	LF	VT	NP	CR	SO	SI	DLE	DC1	DC2	DC3
20	DC4	NAK	SYN	ETB	CAN	EM	SUB	ESC	FS	GS
30	RS	US	SP	!	"	#	\$	%	&	'
40	()	*	+	,	-	.	/	0	1
50	2	3	4	5	6	7	8	9	:	;
60	<	=	>	?	@	A	B	C	D	E
70	F	G	H	I	J	K	L	M	N	O
80	P	Q	R	S	T	U	V	W	X	Y
90	Z	[\]	^	_	~	a	b	c
100	d	e	f	g	h	i	j	k	l	m
110	n	o	p	q	r	s	t	u	v	w
120	x	y	z	{		}	~	DEL		

Q1.24 Proposer l'algorithme du sous-programme permettant de convertir la température codée sur 9 bits en complément à 2, en une trame de 7 caractères ASCII, conformément au cahier des charges énoncé ci-dessus.

B2. Étude de l'émetteur ZigBee et de sa communication avec le microcontrôleur

Dans un premier temps, le schéma électrique du montage complet (émetteur Zigbee, microcontrôleur PIC 16F877 et capteur de température DS1620) est étudié, puis seront analysées les performances de l'émetteur XBEE et enfin, nous établirons le protocole de communication à suivre en vue de son utilisation avec le microcontrôleur. Les documentations techniques des composants sont fournies dans le dossier technique.

Analyse du schéma électrique complet (annexe 1)

L'annexe 1 représente le schéma électrique du système. VCC est une tension continue égale à 5 V.

Q2.1 Quel est le rôle des deux condensateurs C1 et C3 ?

Q2.2 Quelles sont les différentes alimentations du capteur de température DS1620, du microcontrôleur PIC 16F877 et du module XBEE ? En déduire la fonction du régulateur LM3940. Donner les valeurs des condensateurs C5 et C6.

Q2.3 À l'aide des documentations techniques du module XBEE et du PIC 16F877, donner les intervalles en tension des niveaux « haut » et « bas » du module XBEE et du PIC 16F877. En sortie et en entrée, ces tensions seront nommées respectivement V_{OL} max, V_{OH} min, V_{IL} max et V_{IH} min.

Deux circuits d'interfaçage sont nécessaires entre le module Xbee et le microcontrôleur PIC 16F877.

Q2.4 Quelle est l'intensité du courant entrant en Din en mode réception ? Justifier le dimensionnement de la résistance R9.

Q2.5 La diode D2 est une diode Zener LM 185 de tension inverse égale à 1,24 V. Expliquer l'utilité de l'amplificateur OPA 337 et donner la valeur de la résistance R1.

Q2.6 On s'intéresse désormais à l'utilité d'une interface entre le PIC et le capteur de température. Représentez sous forme d'un tableau vos résultats concernant les tensions V_{OL} max, V_{OH} min, V_{IL} max et V_{IH} min de ces deux composants en vous aidant des documentations techniques. Conclure.

Q2.7 Sur l'annexe 1, le composant X1 est un quartz de fréquence d'oscillation égale à 20 MHz. Justifier les valeurs des condensateurs C4 et C7 en vous aidant de la documentation technique du PIC 16F877. Indiquer le rôle du quartz dans le fonctionnement du PIC 16F877 et dans celui du système complet.

Q2.8 Indiquer le rôle de l'interrupteur SW1 dans le fonctionnement du PIC 16F877 et dans celui du système complet. Justifier le dimensionnement des composants C2 et R6.

Performances du module XBEE

Le rôle de l'émetteur/récepteur XBEE est de transmettre la valeur de la température obtenue du capteur DS1620 par voie RadioFréquence (RF) vers la centrale. Cette liaison RF est bidirectionnelle et la centrale peut également retourner des informations vers le DS1620. Le protocole utilisé est le protocole ZigBee. Concernant les réseaux de capteurs, c'est le premier standard à avoir été normalisé. Il est basé sur la norme IEEE 802.15.4. C'est une norme pour les Wireless PAN (Personnel Area Network) dont le domaine de la domotique constitue la principale application. Le tableau 1 ci – dessous présente les caractéristiques principales des trois standards : Wifi, Bluetooth et ZigBee.

Caractéristiques	IEEE 802.11b WLAN	IEEE 802.15.1 Bluetooth 1	ZigBee
Durée de vie de la batterie	Heures	Jours	Années
Complexité	Très Grande	Grande	Faible
Nombre de nœuds	32	7	64000
Distance	100m	10m	10m-300m
Extensibilité	Oui (« Roaming »)	Non	Oui
Débit binaire	11Mbits/s	1Mbits/s	250Kbits/s

Tableau 1 : Récapitulatif des trois standards Wi-Fi Bluetooth, et Zigbee.

Q2.9 Synthétiser les spécificités du standard ZigBee par rapport à ceux du Wifi et du Bluetooth, et justifier ainsi le type d'applications ZigBee.

Désormais on étudie spécifiquement le module émetteur /récepteur XBee (Maxstream). La documentation technique du XBee est fournie dans le dossier technique.

Q2.10 Concernant la communication RF, donner la bande de fréquence d'émission, la portée maximum et minimum à l'intérieur et à l'extérieur, la puissance de sortie RF de l'émetteur, et la sensibilité du récepteur.

Q2.11 Concernant la gestion réseau, donner le nombre de nœuds/utilisateurs possibles et préciser le type de topologie.

Q2.12 Concernant la consommation, donner la plage de tension d'alimentation, les cinq modes de fonctionnement du module XBEE et leurs consommations respectives en courant.

Q2.13 Concernant les propriétés physiques, donner les dimensions, le poids et les températures de fonctionnement du composant.

Étude du module XBEE

Q2.14 Dans le mode de câblage minimum choisi, 9 broches seulement du module XBEE sont câblées. Préciser les connections entrée et sortie du module XBEE et leurs fonctions respectives.

Q2.15 Donner les caractéristiques de cette liaison (série/parallèle, synchrone/asynchrone...), et donner le format et le mode de transmission des données (bit de start, stop, correcteur d'erreur...).

Q2.16 Indiquer le nom et la valeur de la commande à envoyer à l'émetteur /récepteur XBEE afin de configurer la liaison série en 9600 bauds sans bit de parité.

Q2.17 La figure 6 ci-dessous précise la gestion des flux de données entrant et sortant entre le module XBEE et le microcontrôleur.

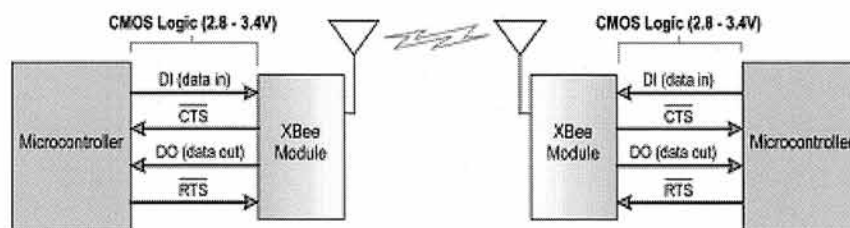


Figure 6 : Principe de communication entre deux modules XBEE interfacés par deux microcontrôleurs.

Donner le principe de gestion des données entrantes et sortantes du module XBEE ainsi que le rôle des deux paramètres RTS et CTS.

Q2.18 Préciser les 5 modes de fonctionnement du module XBEE et les conditions de transitions entre ces différents modes. Donner le rôle des deux paramètres Sleep et DTR.

Protocole de communication du module XBEE

Étude du PIC 16F877

Le module XBEE est connecté au microcontrôleur PIC 16F877 qui possède une liaison USART (Universal Synchrone Asynchrone Receiver Transmitter). La documentation technique du PIC 16F877 est fournie dans le dossier technique. La liaison utilisée est de type asynchrone.

Q2.19 Préciser les connections entrée et sortie de l'UART.

Q2.20 Donner les caractéristiques de cette liaison (série/parallèle, synchrone/asynchrone...) et donner le format et le mode de transmission des données (bit de start, stop, correcteur d'erreur...).

Dans le code source de la programmation, une librairie UART a été créée. Elle possède trois fonctions :

- Init UART : cette fonction permet l'initialisation de la liaison série.
- Emit UART : cette fonction permet d'envoyer un octet sur la liaison série
- RecUART : cette fonction permet de lire un octet sur la liaison série.

La programmation de cette « librairie UART » est donnée dans l'annexe 3.

Phase d'initialisation du PIC 18F877

Q2.21 Donner la fonction et la valeur de chaque bit du registre TXSTA. On se placera dans un mode de faible débit de transmission.

Q2.22 Donner la fonction et la valeur de chaque bit du registre RCSTA.

Q2.23 Quel est le registre qui permet de fixer le débit de données de la liaison série ? Donner sa valeur en hexadécimal.

Phase d'émission de données du PIC 18F877 vers le XBEE

Q2.24 Quel est le rôle du registre TXREG ?

Phase de réception de données provenant du XBEE par le PIC 18F877

Q2.25 Quel est le rôle du registre RCREG et du drapeau RCIF?

B3. Analyse de la chaîne radio

Dans cette partie, nous allons nous intéresser au circuit utilisé pour réaliser la liaison sans fil bidirectionnelle entre le capteur et la centrale de commande. Pour cela nous allons considérer que le module Xbee utilisé dans notre application exploite les fonctionnalités du circuit AT86RF231, commercialisé par la société Atmel. Ce circuit possède une interface radio complète fonctionnant dans la bande des 2,5 GHz et peut ainsi gérer la modulation et la démodulation numérique des signaux. Il comporte tous les organes permettant la synchronisation temporelle et fréquentielle de la liaison. Le système exploite une modulation codée par séquence directe (DSSS pour Direct Sequence Spread Spectrum) et différents type de modulations sont accessibles, comme la BPSK (Binary Phase Shift Keying) pour des débits compris entre 20 et 40 kbits/s ou bien la O-QPSK (offset Quadrature Phase Shift Keying) pour des débits supérieurs jusqu'à 250kbits/s. Ces deux techniques de modulations font partie intégrante du standard IEEE 802.15.4 et nous allons par la suite nous intéresser plus particulièrement à la modulation O-QPSK.

1. Principe de fonctionnement de l'émetteur

Modulation de phase

Principe de fonctionnement du modulateur PSK à PLL

D'après les données fournies par le constructeur du circuit AT86RF231, l'émetteur utilise une boucle à verrouillage de phase pour générer le signal modulé RF à partir des signaux numériques à transmettre. Le schéma de principe d'un tel modulateur est représenté sur la figure 7.

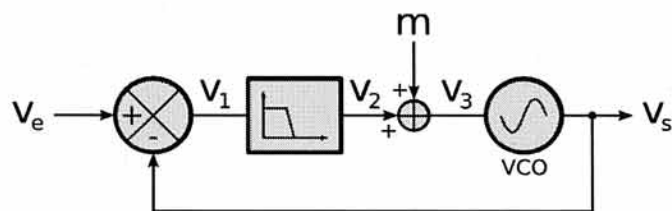


Figure 7: Principe de fonctionnement du modulateur PSK à PLL

Sur ce schéma, le comparateur de phase possède un coefficient K_d et $m(t)$ contient le signal modulant.

Q3.1 Lorsque la PLL est verrouillée, les signaux v_e et v_s possèdent la même fréquence et peuvent s'écrire $V_e(t) = A \sin(\omega_c t)$ et $V_s(t) = A \cos[\omega_c t + \theta(t)]$. Déterminer l'expression de la tension $v_3(t)$ de commande du VCO. La pulsation de coupure du filtre passe bas est inférieure à $2\omega_c$.

Q3.2 En supposant que les variations de $m(t)$ sont lentes, on fait l'hypothèse que la fréquence instantanée en sortie du VCO reste constante et égale à f_c sachant par ailleurs qu'il s'agit de la fréquence d'oscillation libre de ce dernier. Justifier que $v_3(t)$ est proche de zéro. Donner l'expression $\theta(t)$ en fonction de $m(t)$ et en déduire l'expression de la tension de sortie v_{St} .

Q3.3 Quelle est la caractéristique principale de ce signal ?

Modulation de phase numérique QPSK (Quadrature Phase Shift Keing)

La modulation PSK (Phase Shift Keing) est une modulation de phase dont le signal $m(t)$ est un signal numérique, constitué d'une série de bits égaux à 1 ou 0. Avec une modulation QPSK (Quadrature Phase Shift Keing), la série de bits est regroupée par paire de bit (IQ) pour former un symbole. Nous choisissons d'exploiter les symboles de la manière suivante :

Code binaire du symbole #IQ _b	État de phase correspondant [rad]	tension m [V]
#00 _b	5p/4	
#01 _b	3p/4	
#10 _b	7p/4	
#11 _b	p/4	

Tableau 2: Correspondance entre le code binaire du symbole et l'état de phase de la porteuse. m contient le signal modulant.

Q3.4 Représenter le diagramme de constellation (ordonnée Q, abscisse I) conformément au tableau ci-dessus.

Q3.5 Justifier le choix du Code Gray pour la correspondance entre les états de phase et le code binaire du symbole. Remplir le tableau ci-dessus en donnant l'expression des quatre valeurs que peut prendre la tension $m(t)$ au cours du temps. ($A = 1 \text{ V}$).

Q3.6 Soit B le débit binaire exprimé en bits/s. Dans la modulation QPSK, représenter les séries binaires I et Q puis l'évolution temporelle de la tension $m(t)$ obtenue à partir de la série de bits suivante 1001010111010011, pour un débit de 250 kBits/s.

Modulation de phase numérique O-QPSK (Offset-Quadrature Phase Shift Keing)

Q3.7 Avec une modulation O-QPSK, les bits impairs sont en retard de $1/B$ par rapport aux bits pairs. Dans la modulation O-QPSK, représenter les trains binaires I et Q retardés puis l'évolution temporelle de la tension $m(t)$ obtenue à partir du train de bit suivant 1001010111010011, pour un débit de 250 kBits/s.

Q3.8 Dans les deux types de modulations QPSK et O-QPSK, quel est le débit symbole S , exprimé en bauds.

Q3.9 Dans les deux types de modulations QPSK et O-QPSK, tracer, sur le diagramme de constellation, les transitions liées à la série de bit 1001010111010011 et expliquer les différences entre ces deux modulations. Justifier le choix de la modulation O-QPSK dans le protocole ZigBee.

Gestion des canaux

D'après les données constructeurs, et issues de la norme IEEE 802.15.4, plusieurs canaux sont prévus dans la bande des 2,4 GHz. La PLL étudiée dans la partie précédente est utilisée pour gérer les canaux utilisables. Pour que cela soit possible, il est nécessaire d'en compliquer notablement la structure. La nouvelle structure, qualifiée de PLL fractionnaire, permet une sélection fine des canaux à une fréquence élevée tout en conservant des performances transitoires élevées (temps d'établissement court). Sa structure interne est détaillée sur la figure 8.

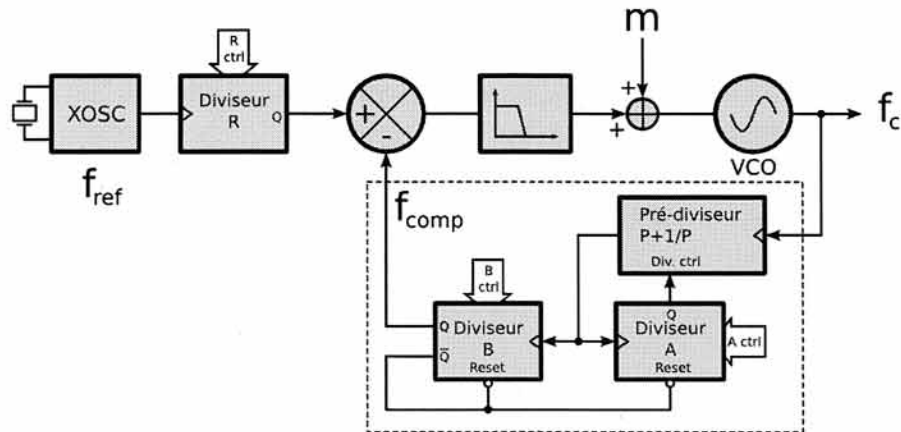


Figure 8 : Structure interne du modulateur PSK avec sélection de canal

La division se fait à l'aide d'un double compteur, le premier rapide permet de diviser par P ou $P+1$, les deux autres compteurs permettent d'obtenir la division par N . Sur ce schéma, les diviseurs A, B et R ont un rapport de division programmable. Les diviseurs A et B sont synchrones et commencent à décompter simultanément. Le prédiviseur $P+1/P$ commence d'abord par diviser par $P+1$. Lorsque le diviseur A a achevé son décompte, il modifie l'état du prédiviseur afin qu'il divise par P . Lorsque B a terminé de compter, les deux diviseurs A et B sont ré-initialisés et le pré-diviseur recommence à diviser par $P+1$.

Q3.10 Quels sont la bande de fréquence, le nombre de canaux et l'espacement entre les canaux pouvant être synthétisés par la PLL ?

Q3.11 Donner l'expression de f_c en fonction d'un coefficient k dont on donnera les valeurs possibles.

Q3.12 Le prédiviseur $P+1/P$ est séquencé par la fréquence de sortie du système. Quelle est, selon vous, la technologie logique utilisée pour concevoir ce type de circuit ?

Q3.13 Quelle inégalité doit satisfaire le rapport de division entre les compteurs A et B ($A > B$, $A = B$ ou bien $A < B$) pour que le circuit fonctionne comme décrit précédemment ?

Q3.14 Compte tenu du fonctionnement de la PLL, montrer que $f_{comp} = \frac{f_c}{BP + A}$.

Q3.15 Exprimer la valeur de la fréquence de sortie f_c en fonction de la fréquence de référence f_{ref} issue de l'oscillateur à quartz.

Q3.16 Les diviseurs A et B sont réalisés en technologie CMOS, dont les fréquences maximales de fonctionnement ne dépassent pas 300 MHz. Compte tenu de cette limite,

quelle peut être la valeur du prédiviseur P sachant que $P = 2^n$ en raison de sa structure interne ?

Q3.17 Pourquoi le pré-diviseur P ne peut-il prendre que des valeurs en 2^n ?

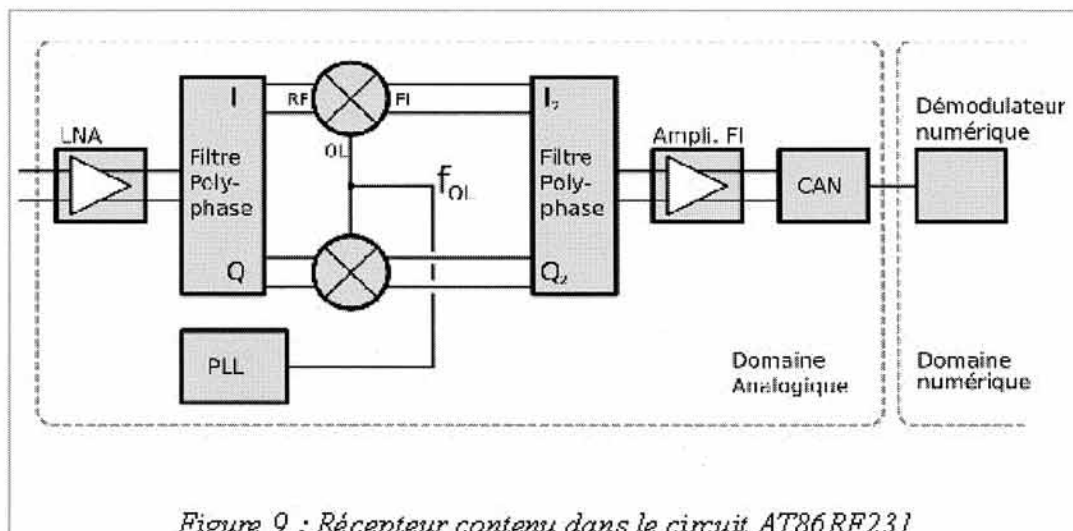
Q3.18 On choisit une fréquence $F_{comp} = 1\text{MHz}$. En déduire la valeur de R.

Q3.19 Sachant que A peut être reliée à k par la relation $A = 5k + 14$, trouver les différentes valeurs de A. Donner l'expression de f_c en fonction de k, f_{ref} et B. En déduire la valeur de B.

Q3.20 Compte tenu des valeurs trouvées, donner la taille des registres permettant d'adresser A et B.

2. Étude du récepteur

Le récepteur contenu dans le circuit AT86RF231 est représenté dans la figure 9. Il s'agit d'un récepteur à faible fréquence intermédiaire ($f_{FI} = 2\text{ MHz}$). Le signal reçu par le LNA (Low Noise Amplificateur) est transposé vers une bande B_{FI} centrée sur f_{FI} par l'intermédiaire d'une paire de mélangeurs auxquels sont rajoutés deux filtres polyphasés dont on se propose de définir le rôle. Ce signal est alors amplifié avant d'être converti sous forme numérique. Le signal numérisé est finalement utilisé par le démodulateur numérique.



Q3.21 D'après les résultats de la question Q3.10, pour chaque canal prévu par la norme, préciser quelle doit être la fréquence f_{OL} à synthétiser sachant que le récepteur est un récepteur infradyne soit $f_{OL} < f_{RF}$.

Génération de signaux en quadrature

Le premier filtre polyphase, situé entre le LNA et les mélangeurs, est représenté sur la figure 10. Sur ce schéma, V_e et $-V_e$ représentent les tensions issues du LNA. Ces dernières sont considérées comme des générateurs de Thévenin parfaits. De la même manière, l'impédance des entrées RF des mélangeurs sont considérées comme infinies.

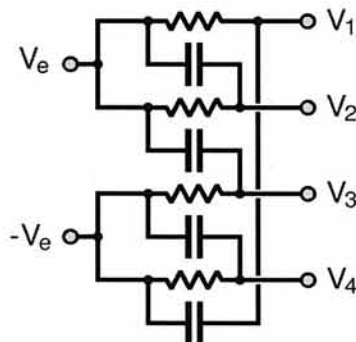


Figure 10 : Filtre polyphasé d'ordre 1 pour la génération de signaux I et Q

Q3.22 La sortie I est définie par la tension $V_I = V_2 - V_4$. Déterminer l'expression de la fonction de transfert $H_I(j\omega) = \frac{V_I}{2V_e}$. Pour ce calcul, on rappelle que les sorties V_1 à V_4 ne sont pas chargées.

Q3.23 La sortie Q est définie par la tension $V_Q = V_1 - V_3$. Déterminer maintenant l'expression de la fonction de transfert $H_Q(j\omega) = \frac{V_Q}{2V_e}$.

Q3.24 Étudier la variation en module et en phase de ces deux fonctions de transfert en fonction de ω .

Q3.25 Le condensateur C contenu dans le filtre polyphasé de la figure 10 est fixé à une valeur de 1,3 pF. Déterminer la valeur de la résistance nécessaire pour optimiser la quadrature à la fréquence de 2442 MHz, qui constitue la fréquence centrale par rapport à toute la bande allouée au Zigbee.

Q3.26 Calculer l'erreur de phase commise en bout de bande par rapport à un déphasage idéal de -90° entre les deux voies.

Conversion en fréquence et réjection de la fréquence image

Dans cette partie, on se propose de traiter le fonctionnement des deux mélangeurs suivis par le second filtre polyphase. Ce dernier est destiné à rejeter les signaux issus de la bande de fréquence dite "image", centrée sur f_{IM} tout en laissant passer les signaux transposés en fréquence et issus de la bande de fréquence f_{RF} .

Q3.27 Expliquer pourquoi la bande B_{IM} centrée sur la fréquence image est gênante.

Dans la suite du problème, nous allons considérer deux signaux sinusoïdaux de même amplitude mais de fréquences $f_{RF} = f_{OL} + f_{FI}$ et $f_{IM} = f_{OL} - f_{FI}$ en entrée du récepteur. L'expression de ce signal incident en mode différentiel est

$V_{in}(t) = V_{RF} \cos[(\omega_{OL} + \omega_{FI})t] + V_{IM} \cos[(\omega_{OL} - \omega_{FI})t]$. Sachant que le LNA a un gain de 1, alors $V_{in}(t)$ est égal à $2V_e(t)$.

Nous allons faire maintenant l'hypothèse que les deux bandes latérales sont suffisamment proches autour de 2442 MHz pour considérer l'erreur de phase nulle dans la mise en quadrature du signal sur la sortie Q du filtre polyphasé.

Q3.28 Exprimer les tensions de mode différentiel $v_i(t)$ et $v_q(t)$ en sortie du premier filtre polyphasé.

Q3.29 Le signal de commande OL (pour Oscillateur Local) est exprimé par la tension $V_{OL}(t) = A_{OL} \cos(\omega_{OL}t)$. Déterminer l'expression des signaux en entrées I₂ et Q₂ du second filtre polyphasé.

On supposera que le mélangeur effectue uniquement une conversion en fréquence infradyne. La somme des deux fréquences incidentes est éliminée par filtrage ou bien par la structure même du mélangeur.

Le second filtre polyphasé est représenté sur la figure 11:

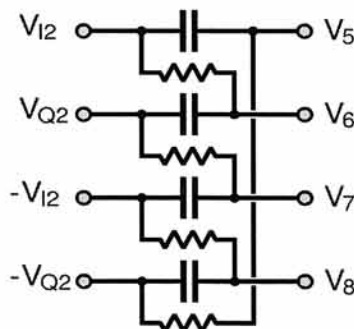


Figure 11: Filtre polyphasé d'ordre 1 pour la réjection de la fréquence image

Les deux tensions précédentes sont ré-écrites en notation complexe : $V_{I2} = V_{RF} + V_{IM}$ et

$$V_{Q2} = jV_{RF} + jV_{IM}.$$

Q3.30 Sachant que les tensions de sortie V_5 à V_8 ne sont pas chargées, déterminer leurs expressions en fonction de V_{RF} et V_{IM} , R , C et ω .

Q3.31 En sortie du filtre, on peut écrire $V_{I2out} = V_6 - V_8 = 2V_{RF} H_2(j\omega) + 2V_{IM} H_1(j\omega)$. De la même manière, $V_{Q2out} = V_5 - V_1 = j[2V_{RF} H_2(j\omega) + 2V_{IM} H_1(j\omega)]$. Exprimer les fonctions de transfert $H_1(j\omega)$ et $H_2(j\omega)$.

Q3.32 Étudier la variation en module et en phase de $H_1(j\omega)$ en fonction de la pulsation ω .

Q3.33 Même question pour la fonction $H_2(j\omega)$.

Q3.34 Quelle est la différence principale entre ces deux fonctions ? Que se passe-t-il lorsque les signaux traversant le filtre sont centrés sur la pulsation $\omega = \omega_0 = \frac{1}{RC}$?

Q3.35 Le condensateur C de la figure 11 a une valeur de 15,92 pF. Déterminer la valeur de la résistance nécessaire pour optimiser la réjection des signaux issus de la transposition de la fréquence image.

Etude de l'antenne et bilan de liaison

Si aucun obstacle ne se situe sur le trajet de l'onde, et pour une puissance à l'émission de valeur P_{Tx} , la puissance P_{Rx} reçue par le récepteur est donnée par la formule suivante :

$$P_{Rx} = P_{Tx} G_{antTx} \frac{\lambda^2}{16\pi^2 d^2} \text{ Il s'agit de la formule de Friis.}$$

Dans cette expression, G_{Ant} désigne le gain des antennes placées sur l'émetteur et sur le récepteur et d correspond à la distance séparant l'émetteur du récepteur.

Q3.36. Donner la définition de la longueur d'onde. Calculer sa valeur pour $f_c=2442\text{MHz}$.

Q3.37 Donner la définition du gain d'une antenne. Quelle est l'unité utilisée pour exprimer le gain d'une antenne ?

L'antenne utilisée provenant de la société Fractus est représentée sur la figure 12 ci-contre.

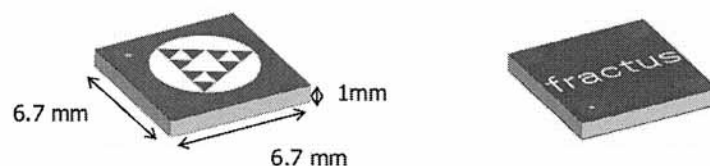
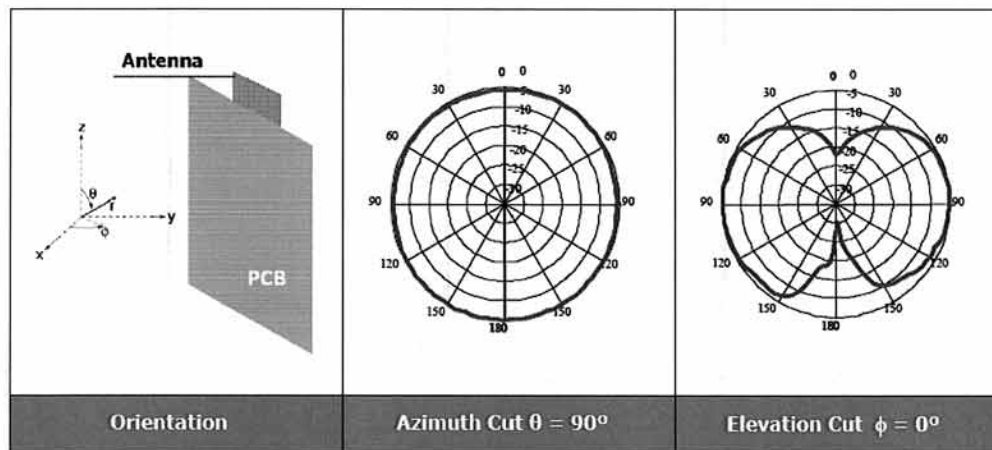


Figure 12: Antenne Fractus 2,4 GHz

Les caractéristiques extraites de la datasheet de l'antenne FR05-S1-N-0-001 sont données ci-dessous:

Performance	Value	Unit
Frequency range	2400-2500	MHz
Average gain	1,9	dBi
Impédance	50	\square
VSWR max	2	:1



Q 3.38 Que représente le VSWR ? Quelle est la valeur idéale pour un VSWR ? Pourquoi est-ce une caractéristique importante de l'antenne ? A la fréquence de 2442 MHz le constructeur fournit une valeur de VSWR=1.6, calculer la valeur du RETURN LOSS de l'antenne.

Q 3.39 La puissance nominale P_{tx} que peut fournir le module d'émission du circuit AT86RF231 est égale à + 3 dBm, quelle est la puissance transmise à l'antenne ?

Q 3.40 Cette antenne est-elle directive ? Justifier le choix de cette antenne pour l'application étudiée.

Q3.41 On suppose qu'on utilise les mêmes antennes en émission et en réception. Déterminer la distance maximale d_{max} qui peut séparer l'émetteur du récepteur, lorsqu'aucun obstacle ne se situe à l'intérieur du canal de propagation.

Nom :

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

(Suivi, s'il y a lieu, du nom d'épouse)

Prénom :

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

N° d'inscription :

--	--	--	--	--	--	--	--	--	--

 Né(e) le :

--	--

 /

--	--

 /

--	--	--	--

(Le numéro est celui qui figure sur la convocation ou la feuille d'émargement)

Concours	Section/Option	Epreuve	Matière															
<table border="1" style="width: 100%; border-collapse: collapse;"><tr><td> </td><td> </td><td> </td></tr></table>				<table border="1" style="width: 100%; border-collapse: collapse;"><tr><td> </td><td> </td><td> </td><td> </td></tr></table>					<table border="1" style="width: 100%; border-collapse: collapse;"><tr><td> </td><td> </td><td> </td><td> </td></tr></table>					<table border="1" style="width: 100%; border-collapse: collapse;"><tr><td> </td><td> </td><td> </td><td> </td></tr></table>				

EAE GEE 2

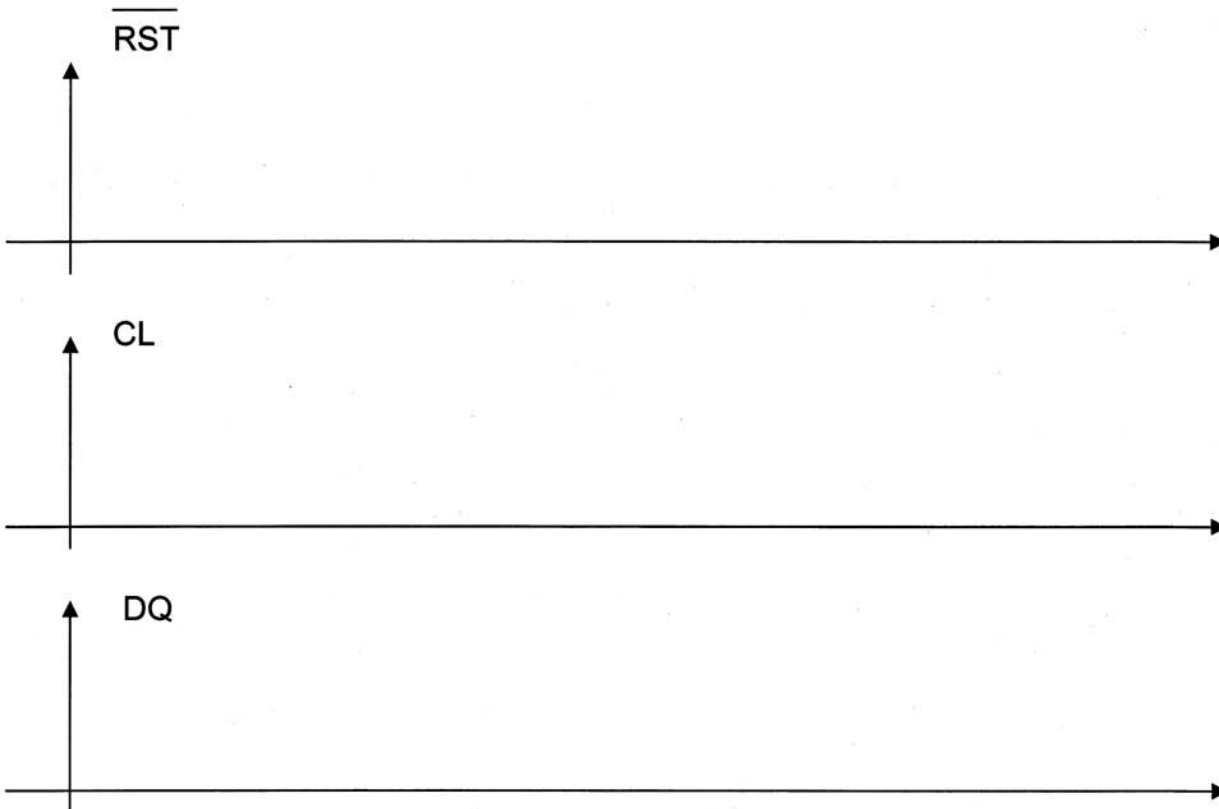
Documents réponses

C : DOCUMENT REPONSE

DR1 : Caractéristique du convertisseur Analogique Numérique du DS1620 (Q1.6)

Température T [°C]	Code binaire DS1620 correspondant	Code décimal DS1620 correspondant	Tension analogique mesurée V_{out} [mV]
+125	0 11111010	250	1956,8
	0 00110010		
	0 00000001		
+0	0 00000000	0	733,8
	1 11111111		
	1 11001110		
	1 10010010		

DR2 : Chronogrammes des signaux RST, CL et DQ du DS1620 (Q1.17)



C : DOCUMENT REPONSE

DR3 : extrait de la librairie DS1620 (Q1-20)

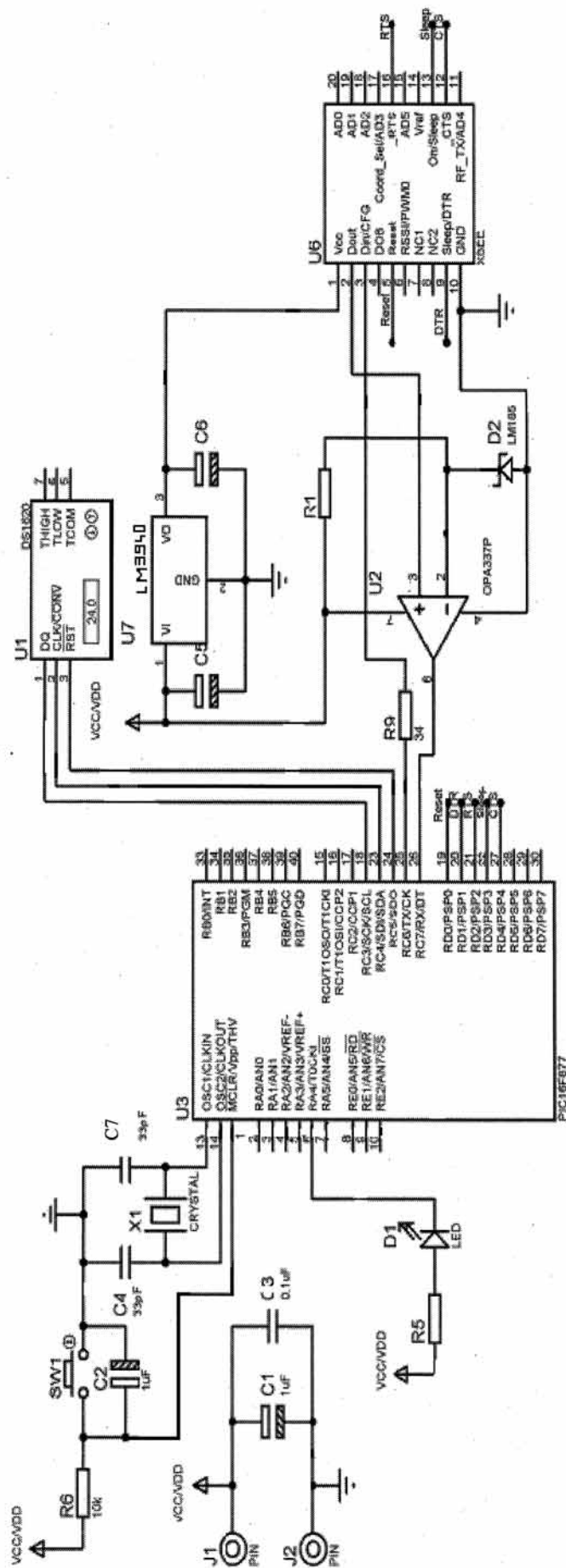
```
void ds1620_write8 (unsigned char data);
void ds1620_start (void);
short ds1620_readtemp (void);
unsigned char ds1620_read8 (void);
short ds1620_read9 (void);
void DelayMs(unsigned char cnt);
void Delays(unsigned char cnt);

/*****
void ds1620_init (void)
{
RC5=1;
ds1620_write8(0x0C);
ds1620_write8(0x03);
RC5 = 0;
DelayMs(50);
ds1620_start();
}
*****/

/*****
void ds1620_start (void)
{
RC5=1;
ds1620_write8(0xEE);
RC5 = 0;
}
*****/

/*****
short ds1620_readtemp (void)
{
short temp=0;
RC5=1;
ds1620_write8(0xAA);
temp = ds1620_read9();
RC5=0;
return temp;
}
*****/
```


Annexe 1 : Schéma électrique du capteur sans fil



Annexe 2 : Algorithme de Hörner

L'algorithme de Hörner est très connu et très simple. Nous en redonnons ici une version orientée informatique.

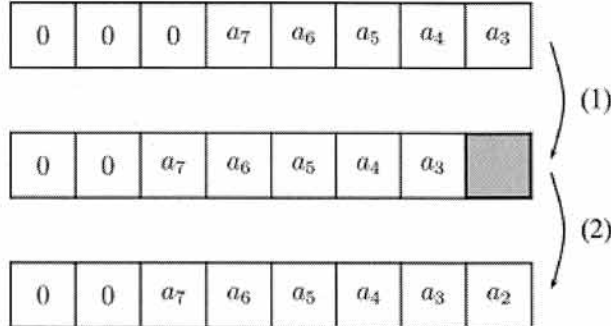


FIG. 1 – La transformation de Hörner binaire

Soit $a_7a_6a_5a_4a_3a_2a_1a_0$ où les a_i valent 0 ou 1, l'écriture binaire d'un nombre S . Ainsi :

$$S = a_72^7 + a_62^6 + a_52^5 + a_42^4 + a_32^3 + a_22^2 + a_12^1 + a_0.$$

L'algorithme de Hörner peut être vu comme l'entrée en mémoire d'un tel nombre conformément à la figure 1. On utilise les deux opérations :

- (1) on décale les bits déjà entrés d'une position vers la gauche,
- (2) on insère le bit suivant à la position la plus à droite, laissée libre par le décalage.

Notons S_i le nombre déjà entré, qui s'écrit en binaire $a_7a_6 \dots a_{7-i}$. Alors le nombre S_{i+1} obtenu à partir de S_i par transformation de Hörner s'écrit :

$$S_{i+1} = 2S_i + a_{7-i-1}.$$

Dans cette formule la multiplication par 2 correspond au décalage à gauche des bits déjà entrés, et l'addition de a_{7-i-1} correspond à l'insertion du bit suivant à la place laissée libre. Si on décrit la suite des opérations on calcule successivement :

$$S_0 = a_7, S_1 = 2S_0 + a_6, \dots, S_7 = 2S_6 + a_0,$$

ou encore :

$$S = S_7 = 2(2(2(2(2(2(2a_7 + a_6) + a_5) + a_4) + a_3) + a_2) + a_1) + a_0.$$

Annexe 3 : extrait de la librairie UART

```
/*  
/***** Bibliothèque de l'UART *****/  
/*****  
  
char RecUART (void);  
void EmitUART(char c);  
void InitUART(void);  
  
/* Initialisation de l'UART */  
  
void InitUART(void)  
{  
    TXSTA = ???;  
    RCSTA = ???;  
    SPBRG = ???;  
}  
  
/* Emission d'un octet sur l'UART */  
  
void EmitUART(char c)  
{  
    TXREG = c;  
}  
  
/* Reception d'un Octet sur l'UART */  
  
char RecUART (void)  
{  
    return (RCREG);  
}
```

Sommaire de la documentation technique

1.	Documentation DS1620	2
2.	Documentation Leds28RPX et 88RPX + circuit LM3940	9
3.	Documentation Diode LM185	10
4.	Documentation Circuit OPA 337	11
5.	Documentation Circuit 16F877	13
6.	Documentation XBEE	20
7.	Documentation AT86RF231	26

1. Documentation DS1620



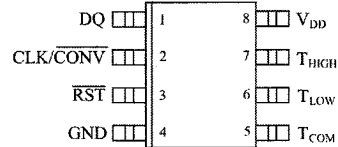
DS1620 Digital Thermometer and Thermostat

www.maxim-ic.com

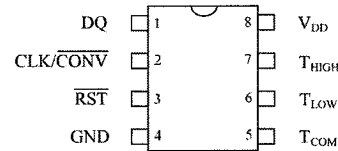
FEATURES

- Requires no external components
- Supply voltage range covers from 2.7V to 5.5V
- Measures temperatures from -55°C to $+125^{\circ}\text{C}$ in 0.5°C increments; Fahrenheit equivalent is -67°F to $+257^{\circ}\text{F}$ in 0.9°F increments
- Temperature is read as a 9-bit value
- Converts temperature to digital word in 750 ms (max)
- Thermostatic settings are user-definable and nonvolatile
- Data is read from/written via a 3-wire serial interface (CLK, DQ, RST)
- Applications include thermostatic controls, industrial systems, consumer products, thermometers, or any thermally sensitive system
- 8-pin DIP or SOIC (208-mil) packages

PIN ASSIGNMENT



DS1620S 8-Pin SOIC (208-mil)
See Mech Drawings Section



DS1620 8-Pin DIP (300-mil)
See Mech Drawings Section

PIN DESCRIPTION

DQ	- 3-Wire Input/Output
CLK/CONV	- 3-Wire Clock Input and Stand-alone Convert Input
RST	- 3-Wire Reset Input
GND	- Ground
T _{HIGH}	- High Temperature Trigger
T _{LOW}	- Low Temperature Trigger
T _{COM}	- High/Low Combination Trigger
V _{DD}	- Power Supply Voltage (3V - 5V)

DESCRIPTION

The DS1620 Digital Thermometer and Thermostat provides 9-bit temperature readings which indicate the temperature of the device. With three thermal alarm outputs, the DS1620 can also act as a thermostat. T_{HIGH} is driven high if the DS1620's temperature is greater than or equal to a user-defined temperature TH. T_{LOW} is driven high if the DS1620's temperature is less than or equal to a user-defined temperature TL. T_{COM} is driven high when the temperature exceeds TH and stays high until the temperature falls below that of TL.

User-defined temperature settings are stored in nonvolatile memory, so parts can be programmed prior to insertion in a system, as well as used in standalone applications without a CPU. Temperature settings and temperature readings are all communicated to/from the DS1620 over a simple 3-wire interface.

ORDERING INFORMATION

PART	PACKAGE MARKING	DESCRIPTION
DS1620	DS1620	8-Pin DIP (300 mil)
DS1620S	DS1620	8-Pin SOIC (208 mil)
DS1620S/T&R	DS1620	8-Pin SOIC (208 mil), 2000-Piece Tape-and-Reel

DETAILED PIN DESCRIPTION Table 1

PIN	SYMBOL	DESCRIPTION
1	DQ	Data Input/Output pin for 3-wire communication port.
2	CLK/CONV	Clock input pin for 3-wire communication port. When the DS1620 is used in a stand-alone application with no 3-wire port, this pin can be used as a convert pin. Temperature conversion will begin on the falling edge of CONV.
3	RST	Reset input pin for 3-wire communication port.
4	GND	Ground pin.
5	T _{COM}	High/Low Combination Trigger. Goes high when temperature exceeds TH; will reset to low when temperature falls below TL.
6	T _{LOW}	Low Temperature Trigger. Goes high when temperature falls below TL.
7	T _{HIGH}	High Temperature Trigger. Goes high when temperature exceeds TH.
8	V _{DD}	Supply Voltage. 2.7V – 5.5V input power pin.

Table 2. DS1620 REGISTER SUMMARY

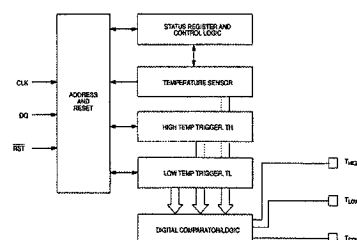
REGISTER NAME (USER ACCESS)	SIZE	MEMORY TYPE	REGISTER CONTENTS AND POWER-UP/POR STATE
Temperature (Read Only)	9 Bits	SRAM	Measured Temperature (Two's Complement) Power-Up/POR State: -60°C (1 1000 1000)
T _H (Read/Write)	9 Bits	EEPROM	Upper Alarm Trip Point (Two's Complement) Power-Up/POR State: User-Defined. Initial State from Factory: +15°C (0 0001 1110)
T _L (Read/Write)	9 Bits	EEPROM	Lower Alarm Trip Point (Two's Complement) Power-Up/POR State: User-Defined. Initial State from Factory: +10°C (0 0001 0100)

OPERATION-MEASURING TEMPERATURE

A block diagram of the DS1620 is shown in Figure 1.

2 of 12

DS1620 FUNCTIONAL BLOCK DIAGRAM Figure 1

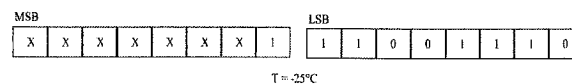


The DS1620 measures temperature using a bandgap-based temperature sensor. The temperature reading is provided in a 9-bit, two's complement reading by issuing a READ TEMPERATURE command. The data is transmitted serially through the 3-wire serial interface, LSB first. The DS1620 can measure temperature over the range of -55°C to +125°C in 0.5°C increments. For Fahrenheit usage, a lookup table or conversion factor must be used.

Since data is transmitted over the 3-wire bus LSB first, temperature data can be written to/read from the DS1620 as either a 9-bit word (taking $\overline{\text{RST}}$ low after the 9th (MSB) bit), or as two transfers of 8-bit words, with the most significant 7 bits being ignored or set to 0, as illustrated in Table 3. After the MSB, the DS1620 will output 0s.

Note that temperature is represented in the DS1620 in terms of a ½°C LSB, yielding the 9-bit format shown in Figure 2.

TEMPERATURE, TH, and TL REGISTER FORMAT Figure 2



T = -25°C

Table 3 describes the exact relationship of output data to measured temperature.

TEMPERATURE/DATA RELATIONSHIPS Table 3

TEMP	DIGITAL OUTPUT (Binary)	DIGITAL OUTPUT (Hex)
+125°C	0 11111010	00FA
-25°C	0 00110010	0032h
+½°C	0 00000001	0001h
+0°C	0 00000000	0000h
-½°C	1 11111111	01FFh
-25°C	1 11001110	01CEh
-55°C	1 10010010	0192h

Higher resolutions may be obtained by reading the temperature, and truncating the 0.5°C bit (the LSB) from the read value. This value is TEMP_READ. The value left in the counter may then be read by issuing a READ COUNTER command. This value is the count remaining (COUNT_REMAIN) after the gate period has ceased. By loading the value of the slope accumulator into the count register (using the READ SLOPE command), this value may then be read, yielding the number of counts per degree C (COUNT_PER_C) at that temperature. The actual temperature may be then be calculated by the user using the following:

$$\text{TEMPERATURE} = \text{TEMP_READ} - 0.25 + \frac{(\text{COUNT_PER_C} - \text{COUNT_REMAIN})}{\text{COUNT_PER_C}}$$

OPERATION—THERMOSTAT CONTROLS

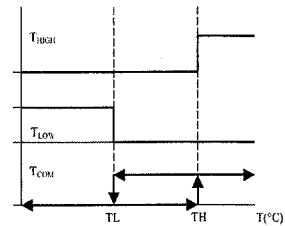
Three thermally triggered outputs, T_{HIGH}, T_{LOW}, and T_{COM}, are provided to allow the DS1620 to be used as a thermostat, as shown in Figure 3. When the DS1620's temperature meets or exceeds the value stored in the high temperature trip register, the output T_{HIGH} becomes active (high) and remains active until the DS1620's measured temperature becomes less than the stored value in the high temperature register, TH. The T_{HIGH} output can be used to indicate that a high temperature tolerance boundary has been met or exceeded, or it can be used as part of a closed loop system to activate a cooling system and deactivate it when the system temperature returns to tolerance.

The T_{LOW} output functions similarly to the T_{HIGH} output. When the DS1620's measured temperature equals or falls below the value stored in the low temperature register, the T_{LOW} output becomes active. T_{LOW} remains active until the DS1620's temperature becomes greater than the value stored in the low temperature register, TL. The T_{LOW} output can be used to indicate that a low temperature tolerance boundary has been met or exceeded, or as part of a closed loop system it can be used to activate a heating system and deactivate it when the system temperature returns to tolerance.

The T_{COM} output goes high when the measured temperature meets or exceeds TH, and will stay high until the temperature equals or falls below TL. In this way, any amount of hysteresis can be obtained.

4 of 12

THERMOSTAT OUTPUT OPERATION Figure 3



OPERATION AND CONTROL

The DS1620 must have temperature settings resident in the TH and TL registers for thermostatic operation. A configuration/status register also determines the method of operation that the DS1620 will use in a particular application and indicates the status of the temperature conversion operation. The configuration register is defined as follows:

CONFIGURATION/STATUS REGISTER

DONE	THF	TLF	NVB	1	0	CPU	1SHOT

where

DONE = Conversion Done Bit. 1=conversion complete, 0=conversion in progress. The power-up/POR state is a 1.

THF = Temperature High Flag. This bit will be set to 1 when the temperature is greater than or equal to the value of TH. It will remain 1 until reset by writing 0 into this location or by removing power from the device. This feature provides a method of determining if the DS1620 has ever been subjected to temperatures above TH while power has been applied. The power-up/POR state is a 0.

TLF = Temperature Low Flag. This bit will be set to 1 when the temperature is less than or equal to the value of TL. It will remain 1 until reset by writing 0 into this location or by removing power from the device. This feature provides a method of determining if the DS1620 has ever been subjected to temperatures below TL while power has been applied. The power-up/POR state is a 0.

NVB = Nonvolatile Memory Busy Flag. 1=write to an E² memory cell in progress. 0=nonvolatile memory is not busy. A copy to E² may take up to 10 ms. The power-up/POR state is a 0.

CPU = CPU Use Bit. If CPU=0, the CLK/CONV pin acts as a conversion start control, when RST is low. If CPU is 1, the DS1620 will be used with a CPU communicating to it over the 3-wire port, and the operation of the CLK/CONV pin is as a normal clock in concert with DQ and RST. This bit is stored in nonvolatile E² memory, capable of at least 50,000 writes. The DS1620 is shipped with CPU=0.

5 of 12

1SHOT = One-Shot Mode. If 1SHOT is 1, the DS1620 will perform one temperature conversion upon reception of the Start Convert T protocol. If 1SHOT is 0, the DS1620 will continuously perform temperature conversion. This bit is stored in nonvolatile E² memory, capable of at least 50,000 writes. The DS1620 is shipped with 1SHOT=0.

For typical thermostat operation, the DS1620 will operate in continuous mode. However, for applications where only one reading is needed at certain times or to conserve power, the one-shot mode may be used. Note that the thermostat outputs (T_{HIGH}, T_{LOW}, T_{COM}) will remain in the state they were in after the last valid temperature conversion cycle when operating in one-shot mode.

OPERATION IN STAND-ALONE MODE

In applications where the DS1620 is used as a simple thermostat, no CPU is required. Since the temperature limits are nonvolatile, the DS1620 can be programmed prior to insertion in the system. In order to facilitate operation without a CPU, the CLK/CONV pin (pin 2) can be used to initiate conversions. Note that the CPU bit must be set to 0 in the configuration register to use this mode of operation. Whether CPU=0 or 1, the 3-wire port is active. Setting CPU=1 disables the stand-alone mode.

To use the CLK/CONV pin to initiate conversions, \overline{RST} must be low and CLK/CONV must be high. If CLK/CONV is driven low and then brought high in less than 10 ms, one temperature conversion will be performed and then the DS1620 will return to an idle state. If CLK/CONV is driven low and remains low, continuous conversions will take place until CLK/CONV is brought high again. With the CPU bit set to 0, the CLK/CONV will override the 1SHOT bit if it is equal to 1. This means that even if the part is set for one-shot mode, driving CLK/CONV low will initiate conversions.

3-WIRE COMMUNICATIONS

The 3-wire bus is comprised of three signals. These are the \overline{RST} (reset) signal, the CLK (clock) signal, and the DQ (data) signal. All data transfers are initiated by driving the \overline{RST} input high. Driving the \overline{RST} input low terminates communication. (See Figures 4 and 5.) A clock cycle is a sequence of a falling edge followed by a rising edge. For data inputs, the data must be valid during the rising edge of a clock cycle. Data bits are output on the falling edge of the clock and remain valid through the rising edge.

When reading data from the DS1620, the DQ pin goes to a high-impedance state while the clock is high. Taking \overline{RST} low will terminate any communication and cause the DQ pin to go to a high-impedance state.

Data over the 3-wire interface is communicated LSB first. The command set for the 3-wire interface as shown in Table 4 is as follows.

Read Temperature [AAh]

This command reads the contents of the register which contains the last temperature conversion result. The next nine clock cycles will output the contents of this register.

Write TH [01h]

This command writes to the TH (HIGH TEMPERATURE) register. After issuing this command the next nine clock cycles clock in the 9-bit temperature limit which will set the threshold for operation of the T_{HIGH} output.

Write TL [02h]

This command writes to the TL (LOW TEMPERATURE) register. After issuing this command the next nine clock cycles clock in the 9-bit temperature limit which will set the threshold for operation of the T_{LOW} output.

Read TH [A1h]

This command reads the value of the TH (HIGH TEMPERATURE) register. After issuing this command the next nine clock cycles clock out the 9-bit temperature limit which sets the threshold for operation of the T_{HIGH} output.

Read TL [A2h]

This command reads the value of the TL (LOW TEMPERATURE) register. After issuing this command the next nine clock cycles clock out the 9-bit temperature limit which sets the threshold for operation of the T_{LOW} output.

Read Counter [A0h]

This command reads the value of the counter byte. The next nine clock cycles will output the contents of this register.

Read Slope [A9h]

This command reads the value of the slope counter byte from the DS1620. The next nine clock cycles will output the contents of this register.

Start Convert T [EEh]

This command begins a temperature conversion. No further data is required. In one-shot mode the temperature conversion will be performed and then the DS1620 will remain idle. In continuous mode this command will initiate continuous conversions.

Stop Convert T [22h]

This command stops temperature conversion. No further data is required. This command may be used to halt a DS1620 in continuous conversion mode. After issuing this command the current temperature measurement will be completed and then the DS1620 will remain idle until a Start Convert T is issued to resume continuous operation.

Write Config [0Ch]

This command writes to the configuration register. After issuing this command the next eight clock cycles clock in the value of the configuration register.

Read Config [ACh]

This command reads the value in the configuration register. After issuing this command the next eight clock cycles output the value of the configuration register.

DS1620 COMMAND SET Table 4

INSTRUCTION	DESCRIPTION	PROTOCOL	3-WIRE BUS DATA AFTER ISSUING PROTOCOL	NOTES
TEMPERATURE CONVERSION COMMANDS				
Read Temperature	Reads last converted temperature value from temperature register.	AAh	<read data>	
Read Counter	Reads value of count remaining from counter.	A0h	<read data>	
Read Slope	Reads value of the slope accumulator.	A9h	<read data>	
Start Convert T	Initiates temperature conversion.	EEh	Idle	1
Stop Convert T	Halts temperature conversion.	22h	Idle	1
THERMOSTAT COMMANDS				
Write TH	Writes high temperature limit value into TH register.	01h	<write data>	2
Write TL	Writes low temperature limit value into TL register.	02h	<write data>	2
Read TH	Reads stored value of high temperature limit from TH register.	A1h	<read data>	2
Read TL	Reads stored value of low temperature limit from TL register.	A2h	<read data>	2
Write Config	Writes configuration data to configuration register.	0Ch	<write data>	2
Read Config	Reads configuration data from configuration register.	ACh	<read data>	2

NOTES:

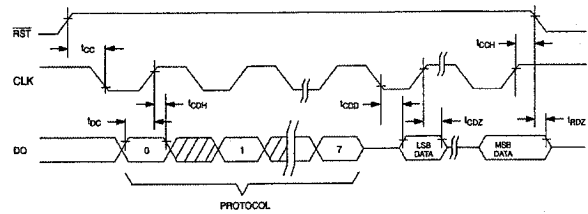
- In continuous conversion mode, a Stop Convert T command will halt continuous conversion. To restart, the Start Convert T command must be issued. In one-shot mode, a Start Convert T command must be issued for every temperature reading desired.
- Writing to the E² requires up to 10 ms at room temperature. After issuing a write command no further writes should be requested for at least 10 ms.

8 of 12

FUNCTION EXAMPLE

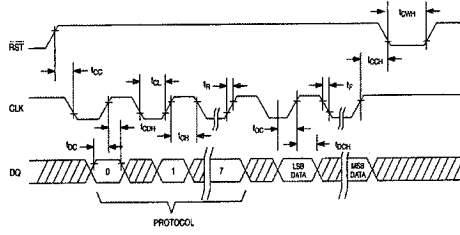
Example: CPU sets up DS1620 for continuous conversion and thermostatic function.

CPU MODE	DS1620 MODE (3-WIRE)	DATA (LSB FIRST)	COMMENTS
TX	RX	0Ch	CPU issues Write Config command
TX	RX	00h	CPU sets DS1620 up for continuous conversion
TX	RX	Toggle RST	CPU issues Reset to DS1620
TX	RX	01h	CPU issues Write TH command
TX	RX	0050h	CPU sends data for TH limit of +40°C
TX	RX	Toggle RST	CPU issues Reset to DS1620
TX	RX	02h	CPU issues Write TL command
TX	RX	0014h	CPU sends data for TL limit of +10°C
TX	RX	Toggle RST	CPU issues Reset to DS1620
TX	RX	A1h	CPU issues Read TH command
RX	TX	0050h	DS1620 sends back stored value of TH for CPU to verify
TX	RX	Toggle RST	CPU issues Reset to DS1620
TX	RX	A2h	CPU issues Read TL command
RX	TX	0014h	DS1620 sends back stored value of TL for CPU to verify
TX	RX	Toggle RST	CPU issues Reset to DS1620
TX	RX	EEh	CPU issues Start Convert T command
TX	RX	Drop RST	CPU issues Reset to DS1620

READ DATA TRANSFER Figure 4

9 of 12

WRITE DATA TRANSFER Figure 5



NOTE: t_{CL} , t_{CH} , t_R , and t_F apply to both read and write data transfer.

ABSOLUTE MAXIMUM RATINGS*

Voltage on Any Pin Relative to Ground	-0.5V to +6.0V
Operating Temperature	-55°C to +125°C
Storage Temperature	-55°C to +125°C
Soldering Temperature	260°C for 10 seconds

* This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operation sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods of time may affect reliability.

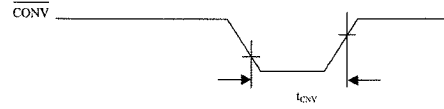
RECOMMENDED DC OPERATING CONDITIONS

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Supply	V_{DD}	2.7		5.5	V	1, 2
Logic 1	V_{OH}	$0.7 \times V_{DD}$		$V_{CC} + 0.3$	V	1
Logic 0	V_{OL}	-0.3		$0.3 \times V_{DD}$	V	1

DC ELECTRICAL CHARACTERISTICS (-55°C to +125°C; $V_{DD}=2.7V$ to 5.5V)

PARAMETER	SYMBOL	CONDITION	MIN	MAX	UNITS	NOTES
Thermometer Error	T_{ERR}	0°C to +70°C		±0.5	°C	2
		$3.0V \leq V_{DD} \leq 5.5V$		±1.25		
		0°C to +70°C		±2.0		
Thermometer Resolution				12	Bits	
Logic 0 Output	V_{OL}			0.4	V	4
Logic 1 Output	V_{OH}		2.4		V	5
Input Resistance	R_I	RST to GND	1		MΩ	
		DQ, CLK to V_{DD}	1		MΩ	
Active Supply Current	I_{CC}	0°C to +70°C		1	mA	6
Standby Supply Current	I_{STBY}	0°C to +70°C		1.5	μA	6
Input Current on Each Pin		$0.4 < V_{I/O} < 0.9 \times V_{DD}$	-10	+10	μA	
Thermal Drift				±0.2	°C	7

SINGLE CONVERT TIMING DIAGRAM (STAND-ALONE MODE)



AC ELECTRICAL CHARACTERISTICS (-55°C to +125°C; $V_{DD}=2.7V$ to 5.5V)

PARAMETERS	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Temperature Conversion Time	T_{TC}			750	ms	
Data to CLK Setup	t_{DC}	35			ns	8
CLK to Data Hold	t_{CDH}	40			ns	8
CLK to Data Delay	t_{CDD}			150	ns	8, 9, 10
CLK Low Time	t_{CL}	285			ns	8
CLK High Time	t_{CH}	285			ns	8
CLK Frequency	f_{CLK}	DC		1.75	MHz	8
CLK Rise and Fall	t_R, t_F			500	ns	
RST to CLK Setup	t_{CC}	100			ns	8
CLK to RST Hold	t_{CCH}	40			ns	8
RST Inactive Time	t_{CWH}	125			ns	8, 11
CLK High to I/O High-Z	t_{CDZ}			50	ns	8
RST Low to I/O High-Z	t_{RDZ}			50	ns	8
Convert Pulse Width	t_{CONV}	250 ns		500 ms		12

AC ELECTRICAL CHARACTERISTICS (-55°C to +125°C; $V_{DD}=2.7V$ to 5.5V)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Input Capacitance	C_I		5		pF	
I/O Capacitance	C_{IO}		10		pF	

EEPROM AC ELECTRICAL CHARACTERISTICS(-55°C to +125°C; $V_{DD}=2.7V$ to 5.5V)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
EEPROM Write Cycle Time			4	10	Ms
EEPROM Writes	-55°C to +55°C	50k			Writes
EEPROM Data Retention	-55°C to +55°C	10			Years

NOTES:

- All voltages are referenced to ground.
- Valid for design revisions D1 and above. The supply range for Rev. C2 and below is $4.5V \leq 5.5V$.
- Thermometer error reflects temperature accuracy as tested during calibration.
- Logic 0 voltages are specified at a sink current of 4 mA
- Logic 1 voltages are specified at a source current of 1 mA.
- I_{STBY}, I_{CC} specified with $DQ, CLK/\overline{CONV} = V_{DD}$, and $\overline{RST} = GND$.
- Drift data is based on a 1000hr stress test at +125°C with $V_{DD} = 5.5V$
- Measured at $V_{IH} = 0.7 \times V_{DD}$ or $V_{IL} = 0.3 \times V_{DD}$.
- Measured at $V_{OH} = 2.4V$ or $V_{OL} = 0.4V$.
- Load capacitance = 50 pF.
- t_{CWH} must be 10 ms minimum following any write command that involves the E^2 memory.
- 250ns is the guaranteed minimum pulse width for a conversion to start; however, a smaller pulse width may start a conversion.

2. Documentation Leds28RPX et 88RPX + circuit LM3940

Round Type

φ 3.0 mm Series

Conventional Part No.	Global Part No.	Lighting Color
LN28RPX	LNG208RKR	Red
LN38GPX	LNG308GKG	Green
LN48YPX	LNG408YKX	Amber
LN88RPX	LNG808RKD	Orange

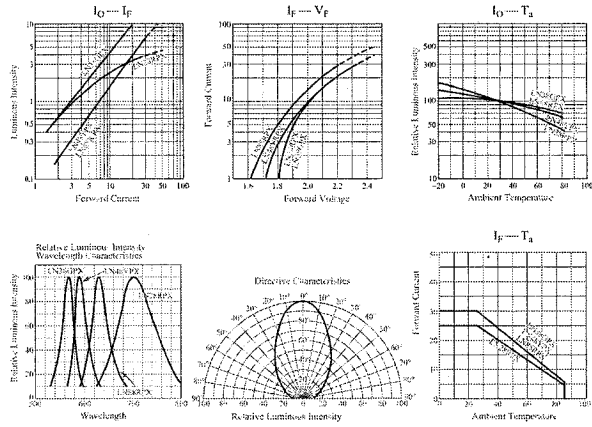
Absolute Maximum Ratings (T_a = 25°C)

Lighting Color	P _F (mW)	I _F (mA)	I _{FP} (mA)	V _F (V)	T _{op} (°C)	T _{stg} (°C)
Red	70	25	150	4	-25 ~ +85	-30 ~ +100
Green	90	30	150	4	-25 ~ +85	-30 ~ +100
Amber	90	30	150	4	-25 ~ +85	-30 ~ +100
Orange	90	30	150	3	-25 ~ +85	-30 ~ +100

I_F pulse width 1 msec. The condition of I_F is duty 10%. Pulse width 1 msec.

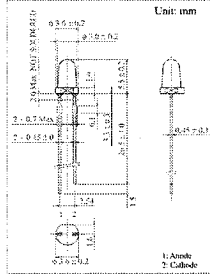
Electro-Optical Characteristics (T_a = 25°C)

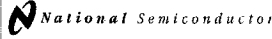
Conventional Part No.	Lighting Color	Lens Color	I ₀		I _F		V _F		λ _p		Δλ		I _R	
			Typ	Min	Typ	Max	Typ	Max	Typ	Typ	Typ	Max	Max	V _R
LN28RPX	Red	Red Diffused	2.8	1.6	15	2.2	2.8	700	100	20	5	4		
LN38GPX	Green	Green Diffused	10.0	5.6	20	2.2	2.8	565	30	20	10	4		
LN48YPX	Amber	Amber Diffused	5.0	1.9	20	2.2	2.8	590	30	20	10	4		
LN88RPX	Orange	Red Diffused	5.0	1.9	20	2.1	2.8	630	40	20	10	3		
Unit			mcd	mcd	mA	V	V	nm	nm	mA	μA	V		



Panasonic

157




November 1998

LM3940 1A Low Dropout Regulator for 5V to 3.3V Conversion

General Description

The LM3940 is a 1A low dropout regulator designed to provide 3.3V from a 5V supply. The LM3940 is ideally suited for systems which contain both 5V and 3.3V logic, with prime power provided from a 5V bus. Because the LM3940 is a true low dropout regulator, it can fold to 3.3V output in regulation with input voltages as low as 4.5V.

The TO-220 package of the LM3940 means that in most applications the full 1A of load current can be delivered without using an additional heatsink.

The surface mount TO-263 package uses minimum board space, and gives excellent power dissipation capability when soldered to a copper plane on the PC board.

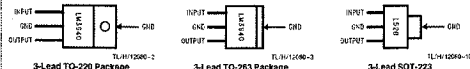
Features

- Output voltage specified over temperature
- Excellent load regulation
- Discharge 1A output current
- Requires only one external component
- Built-in protection against excess temperature
- Short circuit protected

Applications

- Laptop/Desktop Computers
- Logic Systems

Connection Diagram/Ordering Information

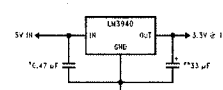


Order Part Number LM3940T-3.3 NSC Drawing Number T03B

Order Part Number LM3940S-3.3 NSC Drawing Number TS3B

Order Part Number LM3940IMP-3.3 Package Marked L52B NSC Drawing Number M04A

Typical Application



*Regulator is located more than 1" from the power supply filter capacitor or a battery pole in use.
**See Application Note.

©1998 National Semiconductor Corporation T-9012343
981309M17/Panasonic U.S.A.
http://www.natsemi.com

LM3940 1A Low Dropout Regulator for 5V to 3.3V Conversion

3. Documentation Diode LM185



February 2000

LM185/LM285/LM385

Adjustable Micropower Voltage References

General Description

The LM185/LM285/LM385 are micropower 3-terminal adjustable band-gap voltage reference diodes. Operating from 1.24 to 5.0V and over a 10µA to 20mA current range, they feature exceptionally low dynamic impedance and good temperature stability. On-chip trimming is used to provide tight voltage tolerance. Since the LM185 band-gap reference uses only transistors and resistors, low noise and good long-term stability result.

Careful design of the LM185 has made the device tolerant of capacitive loading, making it easy to use in almost any reference application. The wide dynamic operating range allows its use with widely varying supplies with excellent regulation.

The extremely low power drain of the LM185 makes it useful for micropower circuits. This voltage reference can be used to make portable meters, regulators or general purpose

analog circuitry with battery life approaching shall life. Further, the wide operating current allows it to replace zener references with a tighter tolerance part.

The LM185 is rated for operation over a -55°C to 125°C temperature range, while the LM285 is rated -40°C to 85°C and the LM385 0°C to 70°C. The LM185 is available in a hermetic TO-46 package and a leadless chip carrier package, while the LM285/LM385 are available in a low-cost TO-92 molded package, as well as S.C.

Features

- Adjustable from 1.24V to 5.0V
- Operating current of 10µA to 20mA
- 1% and 2% initial tolerance
- 10 dynamic impedance
- Low temperature coefficient

Connection Diagrams

TO-92 Plastic Package

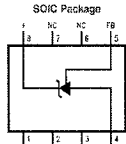


Bottom View

TO-46 Metal Can Package

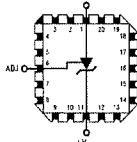


Bottom View



Top View

20-Leadless Chip Carrier



Top View

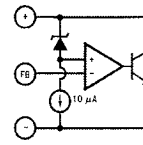
© 2004 National Semiconductor Corporation DS006520

www.national.com

Ordering Information

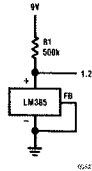
Package	Temperature Range			NSC Drawing
	-55°C to 125°C	-40°C to 85°C	0°C to 70°C	
TO-46	LM185DH			HD3H
	LM185DH-663			
	LM185BYH			
	LM185YH/893			
TO-92		LM285BXZ	LM385BXZ	Z03A
		LM285BYZ	LM385BYZ	
		LM285Z	LM385Z	
		LM285M	LM385M	
8-Pin SOIC		LM285BYM	LM385BYM	M08A
20-Leadless Chip Carrier	LM185DE/893			E20A

Block Diagram

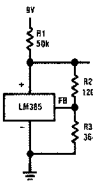


Typical Applications

1.2V Reference



5.0V Reference



$$V_{OUT} = 1.24 \left(\frac{R3}{R2} + 1 \right)$$

www.national.com

2

4. Documentation Circuit OPA 337



**OPA337, OPA2337
OPA338, OPA2338**



**OPA337, OPA2337
OPA338, OPA2338**

SBCS077B - JUNE 1997 - REVISED MARCH 2005

SBCS077B - JUNE 1997 - REVISED MARCH 2005

MicroSIZE, Single-Supply CMOS OPERATIONAL AMPLIFIERS MicroAmplifier™ Series

FEATURES

- **MicroSIZE PACKAGES:** SOT23-5, SOT23-8
- **SINGLE-SUPPLY OPERATION**
- **RAIL-TO-RAIL OUTPUT SWING**
- **FET-INPUT:** $I_B = 10\text{pA}$ max
- **HIGH SPEED:** OPA337: 3MHz, $1.2\text{V}/\mu\text{s}$ ($G = 1$)
OPA338: 12.5MHz, $4.6\text{V}/\mu\text{s}$ ($G = 5$)
- **OPERATION FROM 2.5V to 5.5V**
- **HIGH OPEN-LOOP GAIN:** 120dB
- **LOW QUIESCENT CURRENT:** $525\mu\text{A}/\text{amp}$
- **SINGLE AND DUAL VERSIONS**

APPLICATIONS

- BATTERY-POWERED INSTRUMENTS
- PHOTODIODE PRE-AMPS
- MEDICAL INSTRUMENTS
- TEST EQUIPMENT
- AUDIO SYSTEMS
- DRIVING ADCs
- CONSUMER PRODUCTS

SPICE model available at www.ti.com.

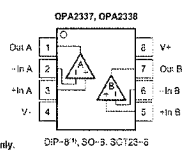
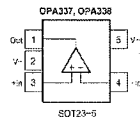
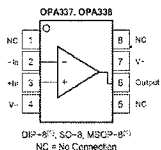
DESCRIPTION

The OPA337 and OPA338 series rail-to-rail output CMOS operational amplifiers are designed for low cost and miniature applications. Packaged in the SOT23-8, the OPA2337EA and OPA2338EA are Texas Instruments' smallest dual op amps. At 1/4 the size of a conventional SO-8 surface-mount, they are ideal for space-sensitive applications.

Utilizing advanced CMOS technology, the OPA337 and OPA338 op amps provide low bias current, high-speed operation, high open-loop gain, and rail-to-rail output swing. They operate on a single supply with operation as low as 2.5V while drawing only $525\mu\text{A}$ quiescent current. In addition, the input common-mode voltage range includes ground—ideal for single-supply operation.

The OPA337 series is unity-gain stable. The OPA338 series is optimized for gains greater than or equal to 5. They are easy-to-use and free from phase inversion and overload problems found in some other op amps. Excellent performance is maintained as the amplifiers swing to their specified limits. The dual versions feature completely independent circuitry for lowest crosstalk and freedom from interaction, even when overdriven or overloaded.

PACKAGE	G = 1 STABLE		G ≥ 5 STABLE	
	SINGLE OPA337	DUAL OPA2337	SINGLE OPA338	DUAL OPA2338
SOT23-5	✓	✓	✓	✓
SOT23-8	✓	✓	✓	✓
MSOP-8	✓	✓	✓	✓
SQ-8	✓	✓	✓	✓
DIP-8	✓	✓	✓	✓



NOTE: (1) DIP AND MSOP-8 versions for OPA337, OPA2337 only.

DIP-8™, SO-8, SOT23-8

Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.
All trademarks are the property of their respective owners.

PRODUCTION DATA information is given as of publication date. Products conform to specifications and the terms of Texas Instruments standard warranty. Production processing does not necessarily ensure reliability of all parameters.



Copyright © 1997-2005, Texas Instruments Incorporated

ELECTRICAL CHARACTERISTICS: $V_S = 2.7\text{V}$ to 5.5V

• Boldface limits apply over the specified temperature range, -40°C to $+85^\circ\text{C}$, $V_S = 5\text{V}$.

At $T_A = +25^\circ\text{C}$ and $R_L = 2\text{k}\Omega$ connected to V_{GS} , unless otherwise noted.

PARAMETER	CONDITION	OPA337, OPA2337, OPA338, OPA2338			UNIT
		MIN	TYP ⁽¹⁾	MAX	
OFFSET VOLTAGE	Input Offset Voltage		±0.5	±3	mV
	$T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$			±3.5	mV
	vs Temperature		±2		$\mu\text{V}/^\circ\text{C}$
	vs Power-Supply Rejection Ratio		25	125	$\mu\text{V}/\text{V}$
INPUT BIAS CURRENT	Input Bias Current		±10.2	±10	pA
	Input Offset Current		±0.2	±10	pA
NOISE	Input Voltage Noise, $f = 0.1\text{Hz}$ to 1kHz		6		$\text{nV}/\sqrt{\text{Hz}}$
	Input Voltage Noise Density, $f = 1\text{kHz}$		26		$\text{nV}/\sqrt{\text{Hz}}$
	Current Noise Density, $f = 1\text{kHz}$		0.6		$\text{nA}/\sqrt{\text{Hz}}$
INPUT VOLTAGE RANGE	Common-Mode Voltage Range		-0.2	(V _S) - 1.2	V
	Common-Mode Rejection Ratio	$T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$ $-0.2\text{V} < V_{CM} < (V_+) - 1.2\text{V}$ $-0.2\text{V} < V_{CM} < (V_+) - 1.2\text{V}$	74	90	dB
INPUT IMPEDANCE	Differential		10 ¹³	12	Ω
	Common-Mode		10 ¹³	14	Ω
OPEN-LOOP GAIN	Open-Loop Voltage Gain		100	120	dB
	$T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$		100	100	dB
	$T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$		100	114	dB
	$T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$		100	100	dB
OPA337 FREQUENCY RESPONSE	Gain-Bandwidth Product		3		MHz
	Slew Rate	$V_S = 5\text{V}$, $G = 1$	1.2		$\text{V}/\mu\text{s}$
	Setting Time: 0.1%	$V_S = 5\text{V}$, 2V Step, $C_L = 100\text{pF}$, $G = 1$	2		μs
	0.01%	$V_S = 5\text{V}$, 2V Step, $C_L = 100\text{pF}$, $G = 1$	2.5		μs
Total Harmonic Distortion + Noise	THD+N		2		μs
		$V_S = 5\text{V}$, $V_O = 3\text{Vpp}$, $G = 1$, $f = 1\text{kHz}$	0.001		%
OPA338 FREQUENCY RESPONSE	Gain-Bandwidth Product		12.5		MHz
	Slew Rate	$V_S = 5\text{V}$, $G = 5$	4.6		$\text{V}/\mu\text{s}$
	Setting Time: 0.1%	$V_S = 5\text{V}$, 2V Step, $C_L = 100\text{pF}$, $G = 5$	1.4		μs
	0.01%	$V_S = 5\text{V}$, 2V Step, $C_L = 100\text{pF}$, $G = 5$	1.8		μs
Total Harmonic Distortion + Noise	THD+N		0.5		μs
		$V_S = 5\text{V}$, $V_O = 3\text{Vpp}$, $G = 5$, $f = 1\text{kHz}$	0.0035		%

⁽¹⁾ $V_S = 5\text{V}$

⁽²⁾ Output voltage swings are measured between the output and negative and positive power-supply rails.

ELECTRICAL CHARACTERISTICS: $V_S = 2.7V$ to $5.5V$ (continued)

Boldface limits apply over the specified temperature range, -40°C to $+85^\circ\text{C}$, $V_S = 5V$.

At $T_A = +25^\circ\text{C}$ and $R_L = 25k\Omega$ connected to $V_S/2$, unless otherwise noted.

PARAMETER	CONDITION	OPA337, OPA2337, OPA338, OPA2338			UNIT	
		MIN	TYP ⁽¹⁾	MAX		
OUTPUT						
Voltage Output Swing from R_{out} ⁽²⁾	$R_L = 25k\Omega$, $A_{OL} \geq 100\text{dB}$ $R_L = 25k\Omega$, $A_{OL} \geq 100\text{dB}$ $R_L = 5k\Omega$, $A_{OL} \geq 100\text{dB}$ $R_L = 5k\Omega$, $A_{OL} \geq 100\text{dB}$		40	125	mV	
$T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$				125	mV	
$T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$				150	500	mV
$T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$					500	mV
Short-Circuit Current			± 9		mA	
Capacitive Load Drive			See Typical Curve			
POWER SUPPLY						
Specified Voltage Range	$T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$	2.7		5.5	V	
Minimum Operating Voltage			2.5		V	
Quiescent Current (per amplifier)			0.625	1	mA	
$T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$				1.2	mA	
TEMPERATURE RANGE						
Specified Range		-40		+85	$^\circ\text{C}$	
Operating Range		-55		+125	$^\circ\text{C}$	
Storage Range		-55		+125	$^\circ\text{C}$	
Thermal Resistance	θ_{JA}				$^\circ\text{C}/\text{W}$	
SOT23-5 Surface-Mount			200		$^\circ\text{C}/\text{W}$	
SOT23-8 Surface-Mount			200		$^\circ\text{C}/\text{W}$	
MSOP-8			150		$^\circ\text{C}/\text{W}$	
SO-8 Surface-Mount			150		$^\circ\text{C}/\text{W}$	
DIP-8			100		$^\circ\text{C}/\text{W}$	

⁽¹⁾ $V_S = 5V$.

⁽²⁾ Output voltage swings are measured between the output and negative and positive power-supply rails.

5. Documentation Circuit 16F877



PIC16F87X

28/40-Pin 8-Bit CMOS FLASH Microcontrollers

PIC16F87X

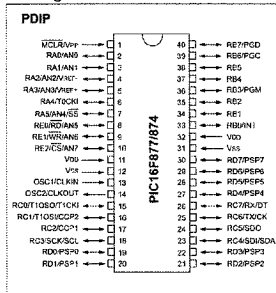
Devices Included in this Data Sheet:

- PIC16F873
- PIC16F874
- PIC16F876
- PIC16F877

Microcontroller Core Features:

- High performance RISC CPU
- Only 35 single word instructions to learn
- All single cycle instructions except for program branches which are two cycle
- Operating speed: DC - 20 MHz clock input
DC - 200 ns instruction cycle
- Up to 8K x 14 words of FLASH Program Memory, Up to 368 x 8 bytes of Data Memory (RAM)
- Up to 256 x 8 bytes of EEPROM Data Memory
- Pinout compatible to the PIC16C73B/74B/76/77
- Interrupt capability (up to 14 sources)
- Eight level deep hardware stack
- Direct, indirect and relative addressing modes
- Power-on Reset (POR)
- Power-up Timer (PWRT) and Oscillator Start-up Timer (OST)
- Watchdog Timer (WDT) with its own on-chip RC oscillator for reliable operation
- Programmable code protection
- Power saving SLEEP mode
- Selectable oscillator options
- Low power, high speed CMOS FLASH/EEPROM technology
- Fully static design
- In-Circuit Serial Programming™ (ICSP) via two pins
- Single 5V In-Circuit Serial Programming capability
- In-Circuit Debugging via two pins
- Processor read/write access to program memory
- Wide operating voltage range: 2.0V to 5.5V
- High Sink/Source Current: 25 mA
- Commercial, Industrial and Extended temperature ranges
- Low-power consumption:
 - < 0.6 mA typical @ 3V, 4 MHz
 - 20 µA typical @ 3V, 32 kHz
 - < 1 µA typical standby current

Pin Diagram



Peripheral Features:

- Timer0: 8-bit timer/counter with 8-bit prescaler
- Timer1: 16-bit timer/counter with prescaler, can be incremented during SLEEP via external crystal/clock
- Timer2: 8-bit timer/counter with 8-bit period register, prescaler and postscaler
- Two Capture, Compare, PWM modules
 - Capture is 16-bit, max. resolution is 12.5 ns
 - Compare is 16-bit, max. resolution is 200 ns
 - PWM max. resolution is 10-bit
- 10-bit multi-channel Analog-to-Digital converter
- Synchronous Serial Port (SSP) with SPI™ (Master mode) and I²C™ (Master/Slave)
- Universal Synchronous Asynchronous Receiver Transmitter (USART/SCI) with 9-bit address detection
- Parallel Slave Port (PSP) 8-bits wide; with external RD, WR and CS controls (40/44-pin only)
- Brown-out detection circuitry for Brown-out Reset (BOR)

TABLE 1-1: PIC16F873 AND PIC16F876 PINOUT DESCRIPTION

Pin Name	DIP Pin#	SOIC Pin#	I/O/P Type	Buffer Type	Description
OSC1/CLKIN	9	9	I	ST/CMOS ⁽²⁾	Oscillator crystal input/external clock source input.
OSC2/CLKOUT	16	10	O	---	Oscillator crystal output. Connects to crystal or resonator in crystal oscillator mode. In RC mode, the OSC2 pin outputs CLKOUT which has 1/4 the frequency of OSC1, and denotes the instruction cycle rate.
MCLR/VPP	1	1	IP	ST	Master Clear (Reset) input or programming voltage input. This pin is an active low RESET to the device. PORTA is a bi-directional I/O port.
RAD/AN0	2	2	IO	TTL	RA0 can also be analog input0.
RA1/AN1	3	3	IO	TTL	RA1 can also be analog input1.
RA2/AN2/VREF-	4	4	IO	TTL	RA2 can also be analog input2 or negative analog reference voltage.
RA3/AN3/VREF+	5	5	IO	TTL	RA3 can also be analog input3 or positive analog reference voltage.
RA4/T0CKI	6	6	IO	ST	RA4 can also be the clock input to the Timer0 module. Output is open drain type.
RA5/SS/AN4	7	7	IO	TTL	RA5 can also be analog input4 or the slave select for the synchronous serial port.
RB0/INT	21	21	IO	TL/ST ⁽¹⁾	PORTB is a bi-directional I/O port. PORTB can be software programmed for internal weak pull-up on all inputs. RB0 can also be the external interrupt pin.
RB1	22	22	IO	TTL	
RB2	23	23	IO	TTL	
RB3/PGM	24	24	IO	TTL	RB3 can also be the low voltage programming input.
RB4	25	25	IO	TTL	Interrupt-on-change pin.
RB5	26	26	IO	TTL	Interrupt-on-change pin.
RB6/PGC	27	27	IO	TL/ST ⁽¹⁾	Interrupt-on-change pin or In-Circuit Debugger pin. Serial programming clock.
RB7/PGD	28	28	IO	TL/ST ⁽¹⁾	Interrupt-on-change pin or In-Circuit Debugger pin. Serial programming data.
RC0/T1OSO/T1CKI	11	11	IO	ST	PORTC is a bi-directional I/O port. RC0 can also be the Timer1 oscillator output or Timer1 clock input.
RC1/T1OSI/CCP2	12	12	IO	ST	RC1 can also be the Timer1 oscillator input or Capture2 input/Compare2 output/PWM2 output.
RC2/CCP1	13	13	IO	ST	RC2 can also be the Capture1 input/Compare1 output/PWM1 output.
RC3/SCK/SCL	14	14	IO	ST	RC3 can also be the synchronous serial clock input/output for both SPI and I ² C modes.
RC4/SDI/SDA	15	15	IO	ST	RC4 can also be the SPI Data In (SPI mode) or data I/O (I ² C mode).
RC5/SDO	16	16	IO	ST	RC5 can also be the SPI Data Out (SPI mode).
RC6/TXCK	17	17	IO	ST	RC6 can also be the USART Asynchronous Transmit or Synchronous Clock.
RC7/RXDT	18	18	IO	ST	RC7 can also be the USART Asynchronous Receive or Synchronous Data.
VDD	8, 19	8, 19	P	---	Ground reference for logic and I/O pins.
VDD	20	20	P	---	Positive supply for logic and I/O pins.

Legend: I = Input O = Output IO = Input/output P = Power --- = Not used TTL = TTL input ST = Schmitt Trigger input

Note 1: This buffer is a Schmitt Trigger input when configured as the external interrupt.
2: This buffer is a Schmitt Trigger input when used in Serial Programming mode.
3: This buffer is a Schmitt Trigger input when configured in RC oscillator mode and a CMOS input otherwise.

TABLE 3-5: PORTC FUNCTIONS

Name	Bit#	Buffer Type	Function
RC0/T1OSO/T1CKI	bit0	ST	Input/output port pin or Timer1 oscillator output/Timer1 clock input.
RC1/T1OSI/CCP2	bit1	ST	Input/output port pin or Timer1 oscillator input or Capture2 input/Compare2 output/PWM2 output.
RC2/CCP1	bit2	ST	Input/output port pin or Capture1 input/Compare1 output/PWM1 output.
RC3/SCK/SCL	bit3	ST	RC3 can also be the synchronous serial clock for both SPI and I ² C modes.
RC4/SDI/SDA	bit4	ST	RC4 can also be the SPI Data In (SPI mode) or data I/O (I ² C mode).
RC5/SDO	bit5	ST	Input/output port pin or Synchronous Serial Port data output.
RC6/TXCK	bit6	ST	Input/output port pin or USART Asynchronous Transmit or Synchronous Clock.
RC7/RX/DT	bit7	ST	Input/output port pin or USART Asynchronous Receive or Synchronous Data.

Legend: ST = Schmitt Trigger input

TABLE 3-6: SUMMARY OF REGISTERS ASSOCIATED WITH PORTC

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other RESETS	
07h	PORTC	RC7	RC6	RC5	RC4	RC3	RC2	RC1	RC0	xxxx xxxx	uuuu uuuu	
87h	TRISC	PORTC Data Direction Register									1111 1111	1111 1111

Legend: x = unknown, u = unchanged

10.0 ADDRESSABLE UNIVERSAL SYNCHRONOUS ASYNCHRONOUS RECEIVER TRANSMITTER (USART)

The Universal Synchronous Asynchronous Receiver Transmitter (USART) module is one of the two serial I/O modules. (USART is also known as a Serial Communications Interface or SCI.) The USART can be configured as a full duplex asynchronous system that can communicate with peripheral devices such as CRT terminals and personal computers, or it can be configured as a half duplex synchronous system that can communicate with peripheral devices such as A/D or D/A integrated circuits, serial EEPROMs etc.

The USART can be configured in the following modes:

- Asynchronous (full duplex)
- Synchronous - Master (half duplex)
- Synchronous - Slave (half duplex)

Bit SPEN (RCSTA<7>) and bits TRISC<7:6> have to be set in order to configure pins RC6/TXCK and RC7/RX/DT as the Universal Synchronous Asynchronous Receiver Transmitter.

The USART module also has a multi-processor communication capability using 9-bit address detection.

REGISTER 10-1: TXSTA: TRANSMIT STATUS AND CONTROL REGISTER (ADDRESS 98h)

R/W-0	R/W-0	R/W-0	R/W-0	U-0	R/W-0	R-1	R/W-0
CSRC	TX9	TXEN	SYNC		BRGH	TRMT	TX9D

bit 7

bit 0

- bit 7 **CSRC:** Clock Source Select bit
Asynchronous mode:
 Don't care
Synchronous mode:
 1 = Master mode (clock generated internally from BRG)
 0 = Slave mode (clock from external source)
- bit 6 **TX9:** 9-bit Transmit Enable bit
 1 = Selects 9-bit transmission
 0 = Selects 8-bit transmission
- bit 5 **TXEN:** Transmit Enable bit
 1 = Transmit enabled
 0 = Transmit disabled
- Note:** SREN/CREN overrides TXEN in SYNC mode.
- bit 4 **SYNC:** USART Mode Select bit
 1 = Synchronous mode
 0 = Asynchronous mode
- bit 3 **Unimplemented:** Read as '0'
- bit 2 **BRGH:** High Baud Rate Select bit
Asynchronous mode:
 1 = High speed
 0 = Low speed
Synchronous mode:
 Unused in this mode
- bit 1 **TRMT:** Transmit Shift Register Status bit
 1 = TSR empty
 0 = TSR full
- bit 0 **TX9D:** 9th bit of Transmit Data, can be parity bit

Legend:			
R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'	
- n = Value at POR	'1' = Bit is set	'0' = Bit is cleared	x = Bit is unknown

REGISTER 10-2: RCSTA: RECEIVE STATUS AND CONTROL REGISTER (ADDRESS 18h)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R-0	R-0	R-x
SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D
bit 7							
bit 7	SPEN: Serial Port Enable bit 1 = Serial port enabled (configures RC7/RX/DT and RC6/TX/CK pins as serial port pins) 0 = Serial port disabled						
bit 6	RX9: 9-bit Receive Enable bit 1 = Selects 9-bit reception 0 = Selects 8-bit reception						
bit 5	SREN: Single Receive Enable bit Asynchronous mode: Don't care Synchronous mode - master: 1 = Enables single receive 0 = Disables single receive This bit is cleared after reception is complete. Synchronous mode - slave: Don't care						
bit 4	CREN: Continuous Receive Enable bit Asynchronous mode: 1 = Enables continuous receive 0 = Disables continuous receive Synchronous mode: 1 = Enables continuous receive until enable bit CREN is cleared (CREN overrides SREN) 0 = Disables continuous receive						
bit 3	ADDEN: Address Detect Enable bit Asynchronous mode 9-bit (RX9 = 1): 1 = Enables address detection, enables interrupt and load of the receive buffer when RSR<9> is set 0 = Disables address detection, all bytes are received, and ninth bit can be used as parity bit						
bit 2	FERR: Framing Error bit 1 = Framing error (can be updated by reading RCREG register and receive next valid byte) 0 = No framing error						
bit 1	OERR: Overrun Error bit 1 = Overrun error (can be cleared by clearing bit CREN) 0 = No overrun error						
bit 0	RX9D: 9th bit of Received Data (can be parity bit, but must be calculated by user firmware)						
Legend: R = Readable bit W = Writable bit U = Unimplemented bit, read as '0' -n = Value at POR '1' = Bit is set '0' = Bit is cleared x = Bit is unknown							

10.1 USART Baud Rate Generator (BRG)

The BRG supports both the Asynchronous and Synchronous modes of the USART. It is a dedicated 8-bit baud rate generator. The SPBRG register controls the period of a free running 8-bit timer. In Asynchronous mode, bit BRGH (TXSTA<2>) also controls the baud rate. In Synchronous mode, bit BRGH is ignored. Table 10-1 shows the formula for computation of the baud rate for different USART modes which only apply in Master mode (internal clock).
 Given the desired baud rate and Fosc, the nearest integer value for the SPBRG register can be calculated using the formula in Table 10-1. From this, the error in baud rate can be determined.

It may be advantageous to use the high baud rate (BRGH = 1), even for slower baud clocks. This is because the $F_{osc}/(16(X+1))$ equation can reduce the baud rate error in some cases.

Writing a new value to the SPBRG register causes the BRG timer to be reset (or cleared). This ensures the BRG does not wait for a timer overflow before outputting the new baud rate.

10.1.1 SAMPLING

The data on the RC7/RX/DT pin is sampled three times by a majority detect circuit to determine if a high or a low level is present at the RX pin.

TABLE 10-1: BAUD RATE FORMULA

SYNC	BRGH = 0 (Low Speed)	BRGH = 1 (High Speed)
0	(Asynchronous) Baud Rate = $F_{osc}/(64(X+1))$	Baud Rate = $F_{osc}/(16(X+1))$
1	(Synchronous) Baud Rate = $F_{osc}/(4(X+1))$	N/A

X = value in SPBRG (0 to 255)

TABLE 10-2: REGISTERS ASSOCIATED WITH BAUD RATE GENERATOR

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR, BOR	Value on all other RESETS
98h	TXSTA	CSRC	TX9	TXEN	SYNC	-	BRGH	TRMT	TX9D	0000 010	0000 010
18h	RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
99h	SPBRG	Baud Rate Generator Register								0000 0000	0000 0000

Legend: x = unknown, - = unimplemented, read as '0'. Shaded cells are not used by the BRG.

TABLE 10-3: BAUD RATES FOR ASYNCHRONOUS MODE (BRGH = 0)

Table with 3 main columns for Fosc = 20 MHz, 16 MHz, and 10 MHz. Each column has sub-columns for KBAUD, % ERROR, and SPBRG value (decimal). Rows range from 0.3 to 312.500.

Table with 3 main columns for Fosc = 4 MHz and 3.6864 MHz. Each column has sub-columns for KBAUD, % ERROR, and SPBRG value (decimal). Rows range from 0.3 to 62.500.

TABLE 10-4: BAUD RATES FOR ASYNCHRONOUS MODE (BRGH = 1)

Table with 3 main columns for Fosc = 20 MHz, 16 MHz, and 10 MHz. Each column has sub-columns for KBAUD, % ERROR, and SPBRG value (decimal). Rows range from 0.3 to 1250.000.

Table with 3 main columns for Fosc = 4 MHz and 3.6864 MHz. Each column has sub-columns for KBAUD, % ERROR, and SPBRG value (decimal). Rows range from 0.3 to 250.000.

10.2 USART Asynchronous Mode

In this mode, the USART uses standard non-return-to-zero (NRZ) format (one START bit, eight or nine data bits, and one STOP bit). The most common data format is 8-bits. An on-chip, dedicated, 8-bit baud rate generator can be used to derive standard baud rate frequencies from the oscillator.

Asynchronous mode is selected by clearing bit SYNC (TXSTA<4>).

The USART Asynchronous module consists of the following important elements:

- Baud Rate Generator
• Sampling Circuit
• Asynchronous Transmitter
• Asynchronous Receiver

10.2.1 USART ASYNCHRONOUS TRANSMITTER

The USART transmitter block diagram is shown in Figure 10-1. The heart of the transmitter is the transmit (serial) shift register (TSR). The shift register obtains its data from the read/write transmit buffer, TXREG.

enabled/disabled by setting/clearing enable bit TXIE (PIE1<4>). Flag bit TXIF will be set, regardless of the state of enable bit TXIE and cannot be cleared in software.

- Note 1: The TSR register is not mapped in data memory, so it is not available to the user.
Note 2: Flag bit TXIF is set when enable bit TXEN is set. TXIF is cleared by loading TXREG.

Transmission is enabled by setting enable bit TXEN (TXSTA<5>). The actual transmission will not occur until the TXREG register has been loaded with data and the baud rate generator (BRG) has produced a shift clock.

In order to select 9-bit transmission, transmit bit TX9 (TXSTA<6>) should be set and the ninth bit should be written before writing the 8-bit data to the TXREG register.

FIGURE 10-1: USART TRANSMIT BLOCK DIAGRAM

